

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 8日

出 願 番 号

Application Number:

特願2002-231825

[ST.10/C]:

[JP2002-231825]

出 願 人

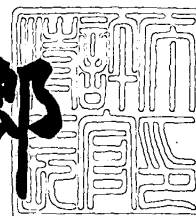
Applicant(s):

富士通株式会社

2002年11月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3089757

【書類名】 特許願

【整理番号】 0240528

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/02

【発明の名称】 半導体記憶装置の制御方法、および該半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 加藤 健太

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【電話番号】 052-218-7161

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の制御方法、および該半導体記憶装置

【特許請求の範囲】

【請求項 1】 第 1 動作シーケンスに従い実行される第 1 動作ステップと、
第 2 動作シーケンスに従い、前記第 1 動作ステップとは独立して実行される第 2 動作ステップとを有する半導体記憶装置の制御方法であって、

前記第 1 動作シーケンスにおける所定の第 1 動作状態に基づき、前記第 2 動作シーケンスの指示に従い前記第 2 動作ステップで実行される所定の状態遷移を遅延する制御ステップを有することを特徴とする半導体記憶装置の制御方法。

【請求項 2】 前記制御ステップは、前記所定の第 1 動作状態に基づき、前記第 2 動作シーケンスによる前記所定の状態遷移の指示に対して応答を遅延する応答遅延ステップを有することを特徴とする請求項 1 に記載の半導体記憶装置の制御方法。

【請求項 3】 前記第 2 動作ステップは、
前記第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップと、

前記状態遷移指示ステップに対して計時情報を供給する計時ステップとを有し

前記制御ステップは、前記所定の第 1 動作状態に基づき、前記計時情報を供給するタイミングを遅延する計時遅延ステップを有することを特徴とする請求項 1 に記載の半導体記憶装置の制御方法。

【請求項 4】 前記第 2 動作ステップは、前記第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップを有し、

前記制御ステップは、前記所定の第 1 動作状態に基づき、前記所定の状態遷移の指示を遅延する遅延付加ステップを有することを特徴とする請求項 1 に記載の半導体記憶装置の制御方法。

【請求項 5】 前記第 2 動作ステップは、前記第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップを有し、

前記制御ステップは、前記所定の第 1 動作状態に基づき、前記状態遷移指示ステップにおける前記所定時間を伸長させる設定時間調整ステップを有することを特徴とする請求項 1 に記載の半導体記憶装置の制御方法。

【請求項 6】 第 1 動作シーケンスに応じて、第 1 動作のための少なくとも 1 つの第 1 信号を出力する第 1 回路と、

第 2 動作シーケンスに応じて、前記第 1 動作とは独立して動作する第 2 動作のための少なくとも 1 つの第 2 信号を出力する第 2 回路とを備え、

前記第 2 回路は、前記第 1 信号のうちの少なくとも 1 つの所定第 1 信号に基づき制御され、前記第 2 信号のうちの少なくとも 1 つの所定第 2 信号の出力が遅延することを特徴とする半導体記憶装置。

【請求項 7】 前記第 2 回路は、

前記第 2 動作シーケンスを制御するシーケンス制御部と、

前記シーケンス制御部からの少なくとも 1 つの制御信号に基づき、前記少なくとも 1 つの第 2 信号を出力する信号出力部と、

前記少なくとも 1 つの所定第 1 信号に基づき、前記信号出力部における前記制御信号のうちの少なくとも 1 つの所定制御信号に対する前記少なくとも 1 つの所定第 2 信号の出力応答を遅延する応答遅延部とを備えることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記第 2 回路は、

前記第 2 動作シーケンスを制御するシーケンス制御部と、

前記シーケンス制御部に対して計時情報を供給する計時部と、

前記少なくとも 1 つの所定第 1 信号に基づき、前記計時部における計時動作を遅延する計時遅延部とを備えることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 9】 前記第 2 回路は、

前記第 2 動作シーケンスを制御するシーケンス制御部と、

前記少なくとも 1 つの所定第 1 信号に基づき、前記シーケンス制御部から出力される少なくとも 1 つの所定制御信号を遅延する遅延付加部とを備えることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 1 0】 前記第 2 回路は、
前記第 2 動作シーケンスを制御するシーケンス制御部と、
前記少なくとも 1 つの所定第 1 信号に基づき、前記第 2 動作シーケンスにおける所定動作シーケンスの設定時間を伸長する設定時間調整部とを備えることを特徴とする請求項 6 に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数の動作モードを有する半導体記憶装置の制御方法、および該半導体記憶装置に関するものであり、特に、各動作モードが相互に独立して実行される際、個々の動作制御を好適に行なうことができる半導体記憶装置の制御方法、および該半導体記憶装置に関するものである。

【0 0 0 2】

【従来の技術】

図 2 0 は、記憶セルアレイが複数のバンク B 0 乃至 B N で分割されて構成されている半導体メモリについての回路ブロック図である。ここでは、半導体メモリとしてフラッシュメモリ等に代表される不揮発性半導体メモリを例に説明する。

【0 0 0 3】

図 2 0 に示す多バンク構成の不揮発性半導体メモリでは、バンク B 0 乃至 B N ごとにライトスイッチ回路 1 0 1 0 乃至 1 0 1 N、およびリードスイッチ回路 1 0 4 0 乃至 1 0 4 N を備えており、各々のスイッチ回路がバンク B 0 乃至 B N ごとに独立に選択されてバンクごとに動作モードを設定することができる。ここで動作モードとは、図 2 1 に後述するように、データ読み出し（以下、R E A D と略記する）動作モードとデータ書き込み（以下、W R I T E と略記する）動作モードとであり、W R I T E 動作モードには、プログラム（以下、P G M と略記する）動作モードとデータ消去（以下、E R と略記する）動作モードとがある。

【0 0 0 4】

W R I T E 動作モードが設定されると、何れか 1 つのライトスイッチ回路（1 0 1 0 乃至 1 0 1 N のうちの何れか 1 つ）が選択されることにより、選択された

バンク（B 0 乃至 B N のうちの何れか 1 つ）に向けてライトスイッチ回路を介して PGM / E R 動作モードの各々に応じて必要となるバイアス電圧 V X が供給される。バイアス電圧 V X は電圧発生回路 1 0 6 において生成される。生成される電圧は、R E A D 動作等のデータ読み出し動作において使用される接地電圧 V S S から電源電圧 V C C までの通常バイアス電圧と、接地電圧 V S S より低い負電圧や電源電圧 V C C より高い正電圧といった高バイアス電圧との間の電圧である。電圧発生回路 1 0 6 はライト制御回路 1 0 5 から出力される所定のバイアス電圧 V X のイネーブル信号 E X によりバイアス電圧 V X の生成動作を開始する。また、同様にライト制御回路 1 0 5 から出力されるイネーブル信号 E n X（E 0 X 乃至 E N X）は、各ライトスイッチ回路 1 0 1 0 乃至 1 0 1 N に入力され、ライトスイッチ回路 1 0 1 0 乃至 1 0 1 N の開閉制御を行なう。

【 0 0 0 5 】

R E A D 動作モードが設定されると、何れか 1 つのリードスイッチ回路（1 0 4 0 乃至 1 0 4 N のうちの何れか 1 つ）が選択されることにより、選択されたバンク（B 0 乃至 B N のうちの何れか 1 つ）からリードスイッチ回路を介してデータ電流が読み出される。読み出されたデータ電流はセンスアンプ 1 0 8 においてリファレンスセル 1 0 9 から出力される基準電流との間で差動増幅される。差動増幅は、必要に応じて電圧値に変換した上で行なわれる。センスアンプ 1 0 8 はリード制御回路 1 0 7 から出力されるリード制御信号 R D C により制御される。

【 0 0 0 6 】

図 2 0 では、ライト制御回路 1 0 5、電圧発生回路 1 0 6、リード制御回路 1 0 7、およびセンスアンプ 1 0 8 は、半導体メモリ内に 1 セット備えられている。これに対して、動作対象であるバンクを選択するライトスイッチ回路 1 0 1 0 乃至 1 0 1 N およびリードスイッチ回路 1 0 4 0 乃至 1 0 4 N は、バンクごとに備えられている。これにより、R E A D 動作モードと W R I T E 動作モードは、異なるバンクに対して相互に独立したタイミングで動作させることができる。

【 0 0 0 7 】

上述したように R E A D 動作と W R I T E 動作とは、バンクごとに相互に独立したタイミングで動作が行なわれる。加えて、図 2 1 に示すように動作自体が各

々固有な動作である。

【0008】

図21(A)に示すように READ動作では、記憶セルに格納されているデータをデータ電流として読み出し基準電流との間で差動増幅することにより読み出し動作が行なわれる。具体的には、リード制御回路107(図20)によりアドレスADDの遷移が検出されると、アドレス遷移検出信号ATDとしてハイパルスが出力される。同時にリードスイッチ回路を介するデータ経路とリファレンスセル109からの基準電流経路が確立されてデータ電流I_{data}および基準電流I_{ref}が流れ始める。アドレス遷移検出信号ATDのハイパルスに引き続きイコライズ信号EQがハイレベルとなりセンスアンプ108が初期化される。この間、データ電流I_{data}と基準電流I_{ref}とは所定電流レベルに移行する。電流レベルが所定電流レベルに移行した時点で、イコライズ信号EQがローレベルに遷移することとの入れ替わりにセンスアンプ活性化信号LTがハイパルスとなる。このハイパルス期間にセンスアンプ108は差動増幅動作を行なう。尚、差動増幅動作は、データ電流I_{data}および基準電流I_{ref}を電圧に変換した上で行なわれることが一般的である。以上のREAD動作は、回路構成上の工夫によりアクセス時間の短縮を図ることが可能であり、ナノセカンド(nsec)単位のアクセス時間で動作させることが可能である。

【0009】

これに対して、図21(B)に示すPGM動作および図21(C)に示すER動作といったWRITE動作は、記憶セルのフローティングゲートへの電子の有無という物理的な状態の変化により行なわれる。ホットエレクトロンによる電子の注入およびFNトンネリング現象を利用した電子の放出といったゲート酸化膜中の電子の通過という物理現象が必要となる。プロセステクノロジーやデバイス構造といった物理的な要因により決定されるこうした物理現象を発生させるためには、高い電圧差を印加することによる高電界が必要となる。

【0010】

具体的には、プログラム確認(以下、PGMVと略記する)期間に引き続くPGM期間では、記憶セルの制御ゲート端子であるワード線WLとドレイン端子で

あるビット線BLとが正電圧に印加される（例えば、ワード線WLを9V、ビット線BLを5V）。また、消去確認（以下、ERVと略記する）期間に引き続くER期間では、ワード線WLが負電圧に印加され、チャネル領域を構成するバックゲートであるウェルWELLが正電圧に印加される（例えば、ワード線WLを-9V、ウェルWELLを9V）。

【0011】

PGM/ER期間としては、例えば、マイクロセカンド（ μsec ）単位のアクセス時間が必要であり、更に、PGMV/ERV期間により記憶セルの閾値電圧の遷移を確認しながら、記憶セルの閾値電圧が所定閾値電圧に達するまで同様の動作が繰り返される。PGM/ER動作が完了するまでには、例えば、ミリセカンド（ msec ）単位のアクセス時間が必要となる。

【0012】

【発明が解決しようとする課題】

しかしながら、従来技術における半導体メモリにおいて、READ動作では、データ電流 I_{data} および基準電流 I_{ref} が各々データ電圧 V_{data} および基準電圧 V_{ref} に変換されて、ナノセカンド（ nsec ）単位のアクセス時間で微小電圧差が差動増幅される。これに対してWRITE動作では、動作完了までのミリセカンド（ msec ）単位の時間内にマイクロセカンド（ μsec ）単位の周期で高バイアス電圧が繰り返し印加される。更に、READ動作とWRITE動作とは相互に独立したタイミングで動作する。そのため、READ動作において使用される接地電圧 V_{SS} から電源電圧 V_{CC} までの通常バイアス電圧と、接地電圧 V_{SS} より低い負電圧や電源電圧 V_{CC} より高い正電圧といった高バイアス電圧との間での電圧遷移が、データ電圧 V_{data} および基準電圧 V_{ref} へのノイズ源となるおそれがある。センスアンプ108において差動増幅すべき微小電圧差が減少する結果、データが反転して差動増幅されてしまい誤データが出力されてしまうおそれがあり問題である。

【0013】

バイアス電圧 V_X が、正電圧から通常バイアス電圧へ、または通常バイアス電圧から負電圧へ電圧遷移する場合には、降圧する電圧遷移がデータ“0”のデー

データ電圧 V_{data} に容量結合すれば、基準電圧 V_{ref} との微小電圧差が減少して差動増幅余裕が減少してしまう。また、基準電圧 V_{ref} に容量結合すれば、データ“1”のデータ電圧 V_{data} との微小電圧差が減少して差動増幅余裕が減少してしまい問題である。

【0014】

また、バイアス電圧 V_X が、通常バイアス電圧から正電圧へ、または負電圧から通常バイアス電圧へ電圧遷移する場合には、昇圧する電圧遷移がデータ“1”のデータ電圧 V_{data} に容量結合すれば、基準電圧 V_{ref} との微小電圧差が減少して差動増幅余裕が減少してしまう。また、基準電圧 V_{ref} に容量結合すれば、データ“0”のデータ電圧 V_{data} との微小電圧差が減少して差動増幅余裕が減少してしまい問題である。

【0015】

更に、バイアス電圧 V_X における電圧遷移が、半導体メモリの基板との容量結合により基板バイアス電圧を変化させる場合も考えられる。基板上に配置されている各トランジスタの閾値電圧等の特性が変動してしまい、微小電圧差の差動増幅動作に悪影響を及ぼすおそれがあり問題である。

【0016】

また、図20に示したように、ライト制御回路105、電圧発生回路106、リード制御回路107、およびセンスアンプ108等が、半導体メモリ内に1セット備えられている場合においては、各バンクB0乃至BNとの配置関係がバンクごとに異なる。配置関係によって、バイアス電圧 V_X の電圧変化の影響を大きく受ける場合も考えられる。また、電圧遷移による基板バイアス電圧の変動位置と基板バイアス電圧の供給源が離間している場合には、基板バイアス電圧の変動や基板上の基板バイアス電圧のずれが長時間残存してしまうおそれがあり問題である。

【0017】

本発明は前記従来技術の問題点を解消するためになされたものであり、相互に独立して動作する複数の動作モードを有する半導体記憶装置において、ノイズの影響を排除したい動作を含む動作モードにより、ノイズ源となる動作を含む動作

モードを制御することができる半導体記憶装置の制御方法、および半導体記憶装置を提供することを目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る半導体記憶装置の制御方法は、第 1 動作シーケンスに従い実行される第 1 動作ステップと、第 2 動作シーケンスに従い、第 1 動作ステップとは独立して実行される第 2 動作ステップとを有する半導体記憶装置の制御方法であって、第 1 動作シーケンスにおける所定の第 1 動作状態に基づき、第 2 動作シーケンスの指示に従い第 2 動作ステップで実行される所定の状態遷移を遅延する制御ステップを有することを特徴とする。

【 0 0 1 9 】

請求項 1 の半導体記憶装置の制御方法では、第 1 動作シーケンスに従って第 1 動作ステップが実行され、第 2 動作シーケンスに従って第 1 動作ステップとは独立に第 2 動作ステップが実行される。第 1 および第 2 動作ステップが時間的な重なりを持って実行される際、制御ステップにおいて、第 1 動作シーケンスにおける所定の第 1 動作状態に基づいて、第 2 動作ステップでの所定の状態遷移の実行が遅延する。

【 0 0 2 0 】

また、請求項 6 に係る半導体記憶装置は、第 1 動作シーケンスに応じて、第 1 動作のための少なくとも 1 つの第 1 信号を出力する第 1 回路と、第 2 動作シーケンスに応じて、第 1 動作とは独立して動作する第 2 動作のための少なくとも 1 つの第 2 信号を出力する第 2 回路とを備え、第 2 回路は、第 1 信号のうちの少なくとも 1 つの所定第 1 信号に基づき制御され、第 2 信号のうちの少なくとも 1 つの所定第 2 信号の出力が遅延することを特徴とする。

【 0 0 2 1 】

請求項 6 の半導体記憶装置では、第 1 および第 2 回路は各々独立に動作して、少なくとも 1 つの第 1 および第 2 信号を出力して、第 1 および第 2 動作が行なわれる。第 1 および第 2 動作が時間的な重なりを持って行なわれる際、第 1 信号のうちの少なくとも 1 つの所定第 1 信号に基づいて、第 2 信号のうちの少なくとも

1つの所定第2信号が遅延して該当する第2動作の実行が遅延する。

【0022】

これにより、相互に独立して実行される第1および第2動作ステップ、または第1および第2動作が、時間的に任意のタイミングで重なりをもって実行される場合にも、第2動作ステップにおける所定の状態遷移、または第2回路から出力される所定第2信号による第2動作の実行を遅延させることができる。第1動作ステップにおける所定の動作状態、または第1回路から出力される所定第1信号による第1動作の実行が同時に行なわれることはない。第1および第2動作ステップ、または第1および第2動作を相互に独立して実行する場合にも、所定の動作状態が所定の状態遷移に影響されることや、所定第1信号による第1動作が所定第2信号による第2動作に影響されることがなく、安定した動作を行なわせることができる。

【0023】

また、請求項2に係る半導体記憶装置の制御方法は、請求項1に記載の半導体記憶装置の制御方法において、制御ステップは、所定の第1動作状態に基づき、第2動作シーケンスによる所定の状態遷移の指示に対して応答を遅延する応答遅延ステップを有することを特徴とする。

【0024】

請求項2の半導体記憶装置の制御方法では、制御ステップは応答遅延ステップを有しており、所定の第1動作状態に基づいて、所定の状態遷移の指示に対して、第2動作ステップでの実行までの応答に遅延を付加する。

【0025】

また、請求項7に係る半導体記憶装置は、請求項6に記載の半導体記憶装置において、第2回路は、第2動作シーケンスを制御するシーケンス制御部と、シーケンス制御部からの少なくとも1つの制御信号に基づき、少なくとも1つの第2信号を出力する信号出力部と、少なくとも1つの所定第1信号に基づき、信号出力部における制御信号のうちの少なくとも1つの所定制御信号に対する前記少なくとも1つの所定第2信号の出力応答を遅延する応答遅延部とを備えることを特徴とする。

【 0 0 2 6 】

請求項 7 の半導体記憶装置では、シーケンス制御部により、第 2 動作シーケンスが制御されて少なくとも 1 つの制御信号が出力される。信号出力部では、シーケンス制御部から出力される制御信号に基づいて、少なくとも 1 つの第 2 信号が出力される。このとき、応答遅延部により、少なくとも 1 つの所定第 1 信号に基づいて、第 2 信号のうちの少なくとも 1 つの所定第 2 信号の出力が遅延される。

【 0 0 2 7 】

これにより、第 2 動作ステップにおいて、またはシーケンス制御部により、第 2 動作シーケンスに制御されながら、所定の第 1 動作状態または少なくとも 1 つの所定第 1 信号に基づいて、応答遅延ステップまたは応答遅延部により、所定の状態遷移の指示に対する実行応答または所定第 2 信号の出力応答を遅延させることができる。

【 0 0 2 8 】

また、請求項 3 に係る半導体記憶装置の制御方法は、請求項 1 に記載の半導体記憶装置の制御方法において、第 2 動作ステップは、第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップと、状態遷移指示ステップに対して計時情報を供給する計時ステップとを有し、制御ステップは、所定の第 1 動作状態に基づき、計時情報を供給するタイミングを遅延する計時遅延ステップを有することを特徴とする。

【 0 0 2 9 】

請求項 3 の半導体記憶装置の制御方法では、計時ステップにより供給される計時情報に基づいて状態遷移指示ステップが行なわれ、第 2 動作シーケンスに従った所定時間ごとに状態遷移の指示が出力される。制御ステップは計時遅延ステップを有しており、所定の第 1 動作状態に基づいて、計時情報の供給タイミングが遅延する。

【 0 0 3 0 】

また、請求項 8 に係る半導体記憶装置は、請求項 6 に記載の半導体記憶装置において、第 2 回路は、第 2 動作シーケンスを制御するシーケンス制御部と、シーケンス制御部に対して計時情報を供給する計時部と、少なくとも 1 つの所定第 1 信

号に基づき、計時部における計時動作を遅延する計時遅延部とを備えることを特徴とする。

【 0 0 3 1 】

請求項 8 の半導体記憶装置では、シーケンス制御部では、計時部より供給される計時情報に基づいて、第 2 動作シーケンスが制御される。このとき、計時遅延部により、少なくとも 1 つの所定第 1 信号に基づいて、計時部の計時動作が遅延する。

【 0 0 3 2 】

これにより、第 2 動作シーケンスを制御する状態遷移指示ステップまたはシーケンス制御部に対して、計時情報を供給する計時ステップまたは計時部における計時情報の供給タイミングを遅延させることができるので、第 2 動作ステップまたは第 2 動作における所定の状態遷移を遅延させることができる。

【 0 0 3 3 】

また、請求項 4 に係る半導体記憶装置の制御方法は、請求項 1 に記載の半導体記憶装置の制御方法において、第 2 動作ステップは、第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップを有し、制御ステップは、所定の第 1 動作状態に基づき、所定の状態遷移の指示を遅延する遅延付加ステップを有することを特徴とする。

【 0 0 3 4 】

請求項 4 の半導体記憶装置の制御方法では、状態遷移指示ステップにより、第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示が行なわれ、制御ステップは遅延付加ステップを有しており、所定の第 1 動作状態に基づいて、所定の状態遷移の指示を遅延させる。

【 0 0 3 5 】

また、請求項 9 に係る半導体記憶装置は、請求項 6 に記載の半導体記憶装置において、第 2 回路は、第 2 動作シーケンスを制御するシーケンス制御部と、少なくとも 1 つの所定第 1 信号に基づき、シーケンス制御部から出力される少なくとも 1 つの所定制御信号を遅延する遅延付加部とを備えることを特徴とする。

【 0 0 3 6 】

請求項 9 の半導体記憶装置では、シーケンス制御部では第 2 動作シーケンスが制御され、このとき、遅延付加部により、少なくとも 1 つの所定第 1 信号に基づいて、シーケンス制御部から出力される少なくとも 1 つの所定制御信号が遅延する。

【 0 0 3 7 】

これにより、遅延付加ステップまたは遅延付加部により、状態遷移指示ステップからの所定の状態遷移の指示、またはシーケンス制御部からの少なくとも 1 つの所定制御信号が遅延させることができる。

【 0 0 3 8 】

また、請求項 5 に係る半導体記憶装置の制御方法は、請求項 1 に記載の半導体記憶装置の制御方法において、第 2 動作ステップは、第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップを有し、制御ステップは、所定の第 1 動作状態に基づき、状態遷移指示ステップにおける所定時間を伸長させる設定時間調整ステップを有することを特徴とする。

【 0 0 3 9 】

請求項 5 の半導体記憶装置の制御方法では、状態遷移指示ステップにより、第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示が行なわれる。制御ステップは設定時間調整ステップを有しており、所定の第 1 動作状態に基づいて、状態遷移指示ステップにおける所定時間を伸長させる。

【 0 0 4 0 】

また、請求項 1 0 に係る半導体記憶装置は、請求項 6 に記載の半導体記憶装置において、第 2 回路は、第 2 動作シーケンスを制御するシーケンス制御部と、少なくとも 1 つの所定第 1 信号に基づき、第 2 動作シーケンスにおける所定動作シーケンスの設定時間を伸長する設定時間調整部とを備えることを特徴とする。

【 0 0 4 1 】

請求項 1 0 の半導体記憶装置では、シーケンス制御部では第 2 動作シーケンスが制御され、このとき、設定時間調整部により、少なくとも 1 つの所定第 1 信号に基づいて、第 2 動作シーケンスにおける所定動作シーケンスの設定時間が伸長する。

【 0 0 4 2 】

これにより、状態遷移指示ステップまたは設定時間調整部により、状態遷移指示ステップにおいて設定されている状態遷移までの所定時間、またはシーケンス制御部における所定動作シーケンスの設定時間を伸長することができる。

【 0 0 4 3 】

図 1 に本発明の第 1 原理図を示す。記憶セルアレイ 3 に対する第 1 動作と第 2 動作を行なわせるために、第 1 動作部 1 および第 2 動作部 2 が備えられており、各々から少なくとも 1 つの第 1 信号 S 1 および少なくとも 1 つの第 2 信号 S 2 が記憶セルアレイ 3 に供給されている。

【 0 0 4 4 】

第 2 動作部 2 は、第 2 信号 S 2 が出力される信号出力部 4 と、信号出力部 4 を制御する少なくとも 1 つの制御信号 C 1 を供給するモード制御部 5 が備えられている。モード制御部 5 は、第 2 動作シーケンスが設定されているステートマシン 7 がシーケンス制御部として備えられると共に、ステートマシン 7 への計時情報 T 1 を供給する計時部 6 が備えられている。制御信号 C 1 は、モード制御部 5 内のステートマシン 7 から出力される。

【 0 0 4 5 】

計時部 6 による計時情報 T 1 により計時されることにより、ステートマシン 7 に設定されている第 2 動作シーケンスに基づき、制御信号 C 1 が出力される。制御信号 C 1 は第 2 動作における状態遷移の指示信号であり、制御信号 C 1 により状態遷移の指示を受けた信号出力部 4 が、第 2 動作のための第 2 信号 S 2 を記憶セルアレイ 3 に向けて出力することにより、第 2 動作が行なわれる。

【 0 0 4 6 】

第 1 原理では、第 1 信号のうちの所定第 1 信号 S S 1 が第 2 動作部 2 における信号出力部 4 に供給されている。所定第 1 信号 S S 1 の入力に基づいて、信号出力部 4 における第 2 信号 S 2 のうちの所定第 2 信号の出力応答を遅延させることができる。モード制御部 5 からの制御信号 C 1 をステートマシン 7 により設定される第 2 動作シーケンスで出力しながら、記憶セルアレイ 3 への所定第 2 信号の供給を遅延させることができる。ここで、所定第 1 信号 S S 1 としては、第 1 動

作における微小信号による動作状態を示す信号とすることができる。また、所定第 2 信号としては、第 2 動作における電圧遷移または電流遷移を伴う信号であり、第 1 動作における微小信号動作に対してノイズ源となる可能性を有する信号に設定することができる。これにより、記憶セルアレイ 3 において第 1 および第 2 動作が相互に独立して行なわれる場合に、第 2 動作における状態遷移による第 1 動作の動作状態への影響を排除することができ、安定した動作を実現することができる。

尚、図 1 の第 1 原理図においては、所定第 1 信号 S S 1 は、第 2 動作部 2 に供給される信号として示したが、同時に記憶セルアレイ 3 にも供給される信号でもよい。

【 0 0 4 7 】

図 2 に本発明の第 2 原理図を示す。ここでは、図 1 の第 1 原理に代えて、所定第 1 信号 S S 1 が、第 2 動作部 2 内のモード制御部 5 のうち、計時部 6 に供給されている。第 2 原理では、所定第 1 信号 S S 1 の入力に基づいて、計時部 6 から出力される計時情報 T 1 の出力タイミングを遅延させることができる。計時情報 T 1 により計時されることによりステートマシン 7 から出力される制御信号 C 1 が、計時情報 T 1 の供給遅延により遅延して出力される。この遅延に応じて信号出力部 4 から出力される第 2 動作のための第 2 信号 S 2 を遅延させることができる。これにより、記憶セルアレイ 3 において第 1 および第 2 動作が相互に独立して行なわれる場合に、第 2 動作における状態遷移による第 1 動作の動作状態への影響を排除することができ、安定した動作を実現することができる。

【 0 0 4 8 】

図 3 に本発明の第 3 原理図を示す。ここでは、図 1 の第 1 原理に代えて、所定第 1 信号 S S 1 が、第 2 動作部 2 内のモード制御部 5 のうち、ステートマシン 7 に供給されている。第 3 原理では、所定第 1 信号 S S 1 の入力に基づいて、ステートマシン 7 に設定されている第 2 動作シーケンスにおける状態遷移間の所定時間を伸長させることができる。予め設定されている所定時間が伸長されることにより、ステートマシン 7 から出力される制御信号 C 1 が遅延して出力される。この遅延に応じて信号出力部 4 から出力される第 2 動作のための第 2 信号 S 2 を遅

延させることができる。これにより、記憶セルアレイ 3 において第 1 および第 2 動作が相互に独立して行なわれる場合に、第 2 動作における状態遷移による第 1 動作の動作状態への影響を排除することができ、安定した動作を実現することができる。

【0049】

【発明の実施の形態】

以下、本発明の半導体記憶装置の制御方法、および半導体記憶装置について具体化した実施形態を図 4 乃至図 19 に基づき図面を参照しつつ詳細に説明する。以下の説明では、不揮発性半導体メモリを例にとり、データ読み出し動作を第 1 動作とし、データプログラム動作とデータ消去動作とを含めたデータ書き込み動作を第 2 動作として説明する。

【0050】

図 4 に、第 1 実施形態の半導体メモリの回路ブロック図を示す。記憶セルアレイは複数のバンク B 0 乃至 B N に分割された多バンク構成を有している。ここで、バンクとは記憶セルアレイ内の所定単位の記憶セル領域であり、データ読み出し動作およびデータ書き込み動作が互いに排他的に制御されないで独立して実行することができる記憶セル領域の単位を言う。従って、データ読み出し動作およびデータ書き込み動作はバンク間で任意のタイミングで動作することとなる。

【0051】

アドレス ADD が入力されるリード制御回路 17 からは、各種の制御信号 ATD、EQ、LT が出力される。アドレス ADD はアドレス遷移検出回路に入力され、アドレス ADD の遷移を検出してパルス信号であるアドレス遷移検出信号 ATD が出力される。アドレス ADD の遷移に伴いデータ読み出しの制御が開始される。アドレス遷移検出信号 ATD はリード制御回路内のパルス発生回路 (1) に入力され、所定パルス幅のセンスアンプイコライズ信号 EQ がセンスアンプ 108 に出力される。新たなデータ読み出しに先立ちセンスアンプ 108 をイコライズする信号である。更に、センスアンプイコライズ信号 EQ はパルス発生回路 (2) に入力され、センスアンプイコライズ信号 EQ のパルス終了から所定パルス幅のセンスアンプラッチ信号 LT がセンスアンプ 108 に出力される。バンク

から読み出されたデータをセンスアンプ108において増幅、ラッチするための信号である。

【0052】

バンクからのデータの読み出しは、バンクB0乃至BNごとに備えられ、バンクからのデータ読み出し用のビット線とセンスアンプ108との間に備えられているリードビット線スイッチ回路140乃至14Nを介して行なわれる。図示しない選択信号によりリードビット線スイッチ回路が択一に選択されることにより、選択されたバンクからセンスアンプ108へのデータ伝播経路が確立されてデータが読み出される。不揮発性半導体メモリでは、データ読み出し時のディスタープ現象を防止する必要から、読み出し用ビット線には低電圧が印加されるにとどまっている。そのため、読み出されるデータ電流は僅少であり、電圧変換された場合の記憶データの電圧値も微小電圧となる。

【0053】

更に、センスアンプ108にはリファレンスセル109からのリファレンスデータが入力されており、リードビット線スイッチ回路を介して入力される記憶データとの間で差動増幅が行なわれデータが読み出される。リファレンスデータについても記憶データと同様に微小電圧であり、両者の電圧差についても微小電圧である。

【0054】

すなわち、記憶データおよびリファレンスデータ、更に差動増幅される前の両者の電圧差は、何れも微小電圧であり、周辺ノイズの影響を受けやすい。

【0055】

ライト制御回路105には、データ書き込み動作において、データプログラム動作とデータ消去動作との動作モードの別を設定するモード信号MODEが入力される。ライト制御回路105からは、モード信号MODEに応じて各種のイネーブル信号EX、EnX（n=0乃至N。以下、同様）が出力される。

【0056】

イネーブル信号EXは、電圧発生回路16に入力され、モード信号MODEに応じた各種の電圧発生回路（16A乃至16Dのうちの何れか）を活性可能状態

とする。具体的には、データプログラム動作においては、昇圧された書き込み用ビット線電圧VWBおよび昇圧されたワード線電圧VWL+を出力するために、ライトビット線電圧発生回路16Aおよびワード線電圧発生回路16Bを活性可能状態に設定する。また、データ消去動作においては、負電圧のワード線電圧VWL-を出力するために負ワード線電圧発生回路16Cを、昇圧されたウェル電圧VWEを出力するためにウェル電圧発生回路16Dを活性可能状態に設定する。

【0057】

イネーブル信号EnXは、バンクB0乃至BNごとに備えられている各種のスイッチ回路110乃至11N、120乃至12N、130乃至13Nに入力されている。これらのスイッチ回路を択一に選択することにより、データ書き込み動作に必要な各種のバイアスをバンクごとに供給する。具体的には、ウェル電圧スイッチ回路110乃至11Nにはウェル電圧発生回路16Dの出力端子V(WE)が接続されており、イネーブル信号E0WE乃至ENWEにより択一に選択される。また、ワード線電圧スイッチ回路120乃至12Nにはワード電圧発生回路16Bおよび負ワード線電圧発生回路16Cの出力端子V(WL+)およびV(WL-)が接続されており、各々、イネーブル信号E0WL+乃至ENWL+およびE0WL-乃至ENWL-により択一に選択される。更に、ライトビット線スイッチ回路130乃至13Nにはライトビット線電圧発生回路16Aの出力端子V(WB)が接続されており、イネーブル信号E0WB乃至ENWBにより択一に選択される。

【0058】

モード信号MODEに応じたイネーブル信号EXが活性化することにより、データプログラム動作とデータ消去動作との動作モードの別に応じた各種の電圧発生回路(16A乃至16Dのうちの何れか)が活性可能状態となる。同時に、モード信号MODEおよび図示しないバンク選択信号に応じたイネーブル信号EnXが活性化することにより、選択されたバンクへの所定の動作モードに対応するスイッチ回路(110乃至11N、120乃至12N、130乃至13Nのうちの何れか)が選択されてバイアス供給経路が確立される。

【0059】

更に、リード制御回路17から出力される各種の制御信号ATD、EQ、LT（以後、これらの制御信号を総称してリード制御信号RDCと称する。）が電圧発生回路16に入力されている。入力されたリード制御信号RDCはイネーブル信号EXをマスクする。リード制御信号RDCが活性化されていない状態では、ライト制御回路105から出力されるイネーブル信号EXに応じて各電圧発生回路16A乃至16Dが活性化されて、各種のバイアス電圧VWB、VWL+、VWL-、VWEが出力される。リード制御信号RDCが活性化されている場合には、イネーブル信号EXはマスクされ、電圧発生回路16A乃至16Dは活性化されず各種のバイアス電圧VWB、VWL+、VWL-、VWEは出力されない。

【0060】

リード制御信号RDCによるイネーブル信号EXのマスクは、データ書き込み動作におけるバイアス電圧の電圧遷移のタイミングに行なうことが有効である。ここで、電圧遷移のタイミングとは、バイアス電圧の印加開始のタイミングとバイアス電圧の印加終了のタイミングとである。従って、各電圧発生回路16A乃至16Dの動作開始時と動作終了時の少なくとも何れか一方のタイミングをマスクすることが好ましい。これにより、データ読み出し動作において微小電圧の記憶データが出力されるリード制御信号RDCの活性化タイミングに、データ書き込み動作におけるバイアス電圧の電圧遷移が行なわれることはない。

【0061】

ここで、バイアス電圧の印加開始のタイミングとバイアス電圧の印加終了のタイミングとは、図21に示すように、データ書き込み動作の開始時、終了時、および書き込みシーケンスにおける動作切り替え時のうちの少なくとも何れかのタイミングである。これは、第1実施形態のみならず、他の実施形態についても同様である。

【0062】

また、リード制御回路RDCとしては、各種の制御信号ATD、EQ、LTを個別に使用して、その間電圧発生回路16A乃至16Dをマスクすることができ

る他、制御信号 A T D、E Q、L T を適宜に組み合わせて使用することもできる。また、図示はしていないが、電圧発生回路 1 6 内にラッチ機能等を有する回路を備えることにより、各々パルス信号として活性化される制御信号 A T D、E Q、L T 間の信号遷移に伴う各種のバイアス電圧 V W B、V W L +、V W L -、V W E の誤出力は発生することはない。これは、第 1 実施形態のみならず、他の実施形態についても同様である。

【 0 0 6 3 】

図 5 に示す第 1 実施形態の第 1 具体例は、電圧発生回路 1 6 A 乃至 1 6 D について、バイアス出力端子 V (X) (X は、W B、W L +、W L -、W E のうちのいずれかを示す。以下の説明において同様。) へのバイアス電圧 V X の印加終了タイミングをマスクして遅延させる回路構成例を示したものである。

【 0 0 6 4 】

第 1 具体例は、イネーブル信号 E X がイネーブル端子 (E N) に入力されている電圧発生部 V G 1 と、イネーブル信号 E X およびリード制御信号 R D C により制御される電圧放電部 V D 1 とを備えており、バイアス出力端子 V (X) で接続されている。

【 0 0 6 5 】

電圧発生部 V G 1 は、イネーブル端子 (E N) へのイネーブル信号 E X に応じて、昇圧電圧 V X をバイアス電圧端子 V (X) に出力する。

【 0 0 6 6 】

電圧放電部 V D 1 では、バイアス電圧端子 V (X) に出力される昇圧電圧 V X を電源電圧 V C C に放電する P M O S トランジスタ P 1 が、電源電圧 V C C とバイアス出力端子 V (X) との間に接続されている。P M O S トランジスタ P 1 のゲート端子は、P M O S トランジスタ P 3 のドレイン端子と N M O S トランジスタ N 2 のドレイン端子との接続点に接続されている。P M O S トランジスタ P 3 は、P M O S トランジスタ P 2 と共に、ソース端子がバイアス電圧端子 V (X) に接続されて、ゲート端子とドレイン端子とがクロスカップルされている。更に、P M O S トランジスタ P 2 のドレイン端子は N M O S トランジスタ N 1 のドレイン端子に接続されている。

【 0 0 6 7 】

NMOSトランジスタN1、N2のゲート端子は電源電圧VCCにバイアスされている。PMOSトランジスタP2、P3のソース端子にバイアス電圧端子V(X)が接続されており、昇圧電圧VXがNMOSトランジスタN1、N2のドレイン端子に印加される場合にも、NMOSトランジスタN1、N2のソース端子側に昇圧電圧VXが印加されないようにするためである。ソース端子間には、NMOSトランジスタN1からN2に向かってインバータゲートI1が接続されている。インバータゲートI1の入力端子には、第2具体例(図7)において後述する回路構成と同様に、2つのインバータゲートで構成されるラッチ回路の出力端子が接続されている。ラッチ回路には、トランスファゲートを介してイネーブル信号EXがラッチされる。ラッチされるイネーブル信号EXはトランスファゲートの開閉により制御されている。リード制御信号RDCが直接PMOSトランジスタのゲート端子に入力されると共に、インバータゲートを介してNMOSトランジスタのゲート端子に入力される。リード制御信号RDCがローレベルの状態ではイネーブル信号EXの論理レベルがラッチ回路に取り込まれる。PMOSトランジスタP2、P3およびNMOSトランジスタN1、N2により、レベル変換回路を構成している。

【 0 0 6 8 】

第1具体例の回路動作を図6に示す。イネーブル信号EXがハイレベルに遷移することにより、電圧発生部VG1が活性化されバイアス電圧端子V(X)に昇圧電圧VXが出力される。このとき、ノアゲートR1の出力端子はローレベルになり、NMOSトランジスタN1のソース端子に印加される。一方、NMOSトランジスタN2のソース端子にはインバータゲートI1で反転されたハイレベル信号が印加される。ノアゲートR1から出力されるローレベル信号は、NMOSトランジスタN1を介してPMOSトランジスタP3のゲート端子に印加され、PMOSトランジスタP3が導通する。この結果、PMOSトランジスタP1、P2のゲート端子とバイアス電圧端子V(X)とが導通する。電圧発生部VG1により昇圧電圧VXが印加されるため、PMOSトランジスタP1、P2は非導通状態となり、電圧放電部VD1は非活性状態を維持する。

【0069】

イネーブル信号EXのローレベル遷移に先行してリード制御信号RDCがハイレベル遷移する。イネーブル信号EXの論理レベルに関わらずリード制御信号RDCのハイレベル期間では、ノアゲートR1の出力端子がローレベルに維持され、電圧放電部VD1が非活性状態を維持する。

【0070】

イネーブル信号EXのローレベル遷移の後、リード制御信号RDCがローレベルに遷移した時点で、ノアゲートR1の出力端子はハイレベルに遷移して論理状態が反転する。NMOSトランジスタN1に代えてNMOSトランジスタN2を介してローレベル信号がPMOSトランジスタP1、P2のゲート端子に印加される。これにより、PMOSトランジスタP1、P2が導通してバイアス電圧端子V(X)と電源電圧VCCとが導通する。イネーブル信号EXは、これに先立つタイミングでローレベル遷移して電圧発生部VG1は既に非活性化されているので、リード制御信号RDCのローレベル遷移のタイミングでバイアス電圧端子V(X)が電源電圧VCCに放電される。ノアゲートR1は、リード制御信号RDCのハイレベル状態によりイネーブル信号EXのローレベル遷移をマスクする機能を有しており、イネーブル信号EXの応答遅延部を構成している。

【0071】

イネーブル信号EXがローレベルとなり非活性化されるタイミングで、リード制御信号RDCがハイレベルとなり活性化される場合、電圧放電部VD1は起動されずバイアス電圧端子V(X)の放電動作は行なわれない。この状態は、リード制御信号RDCがハイレベルである期間継続する。リード制御信号RDCがローレベルになり非活性化されることにより電圧放電部VD1が起動され、バイアス電圧端子V(X)が放電される。イネーブル信号EXのローレベル遷移からリード制御信号RDCのローレベル遷移までの期間D11、バイアス電圧端子V(X)の電圧遷移が遅延する。

【0072】

第1実施形態の第1具体例は、バイアス電圧端子V(X)に印加される昇圧電圧VXを電源電圧VCCに放電する場合の回路構成例である。高電圧レベルであ

る書き込み用ビット線電圧VWB、ワード線電圧VWL+、およびウェル電圧VWEを生成する、ライトビット線電圧発生回路16A、ワード線電圧発生回路16B、およびウェル電圧発生回路16Dに適用することができる。

【0073】

負電圧のワード線電圧VWL-を生成する負ワード線電圧発生回路16Cについては図示していないが、MOSトランジスタの導電型をP型とN型とで逆転させると共に、接地電圧VSSに対する接続関係を電源電圧VCCに対する接続関係に逆転させることにより、負電圧を接地電圧VSSに放電する電圧発生回路を構成することができる。この場合もノアゲートR1と同様なノアゲートを備えることにより、イネーブル信号EXの非活性化をリード制御信号RDCの活性信号によりマスクして、バイアス電圧端子V(X)の放電タイミングを遅延させることができる。

【0074】

第1実施形態の第2具体例を図7に示す。第2具体例は、電圧発生回路16A乃至16Dとして、チャージポンプ方式を利用した昇圧回路または負電圧回路が使用される場合に適用される回路構成例である。図7は、電圧発生回路16A乃至16Dのうちチャージポンプ用発振信号OSCPMPの遅延制御を行なう発信遅延部OD1を示している。バイアス電圧VXの印加開始および印加終了のタイミングをマスクして遅延させる回路構成例を示したものである。

【0075】

第2具体例の発信遅延部OD1は、チャージポンプ用の原発振器（不図示）からの原発振信号OSC1が、ナンドゲートD1およびインバータゲートI2を介してチャージポンプ用発振信号OSCPMPとして出力される。ナンドゲートD1の他の入力端子には、インバータゲートI5、I6で構成されるラッチ回路の出力端子が接続されている。ラッチ回路には、インバータゲートI4およびトランスファゲートT1を介してイネーブル信号EXがラッチされる。ラッチされるイネーブル信号EXはトランスファゲートの開閉により制御されている。リード制御信号RDCが直接PMOSトランジスタのゲート端子に入力されると共に、インバータゲートI3を介してNMOSトランジスタのゲート端子に入力される

。リード制御信号 RDC がローレベルの状態ではイネーブル信号 EX の論理レベルがラッチ回路に取り込まれる。

【 0 0 7 6 】

第 1 実施形態の第 2 具体例の回路動作を図 8 に示す。イネーブル信号 EX がハイレベルに遷移することに先立ち、リード制御信号 RDC がハイレベル遷移する。リード制御信号 RDC のハイレベル期間では、イネーブル信号 EX の論理レベルに関わらずトランスファゲート T1 は非導通状態に維持される。従って、ハイレベル遷移したイネーブル信号 EX がインバータゲート I5、I6 で構成されるラッチ回路に取り込まれることはない。ラッチ回路から出力されるラッチ信号 LPMP は、イネーブル信号 EX がハイレベル遷移される前のローレベル信号を維持する。

【 0 0 7 7 】

ローレベルのラッチ信号 LPMP により、ナンドゲート D1 の出力端子はハイレベルに固定されるため、チャージポンプ用発振信号 OSCPMP はローレベルに固定される。これにより、チャージポンプ動作は開始されない。

【 0 0 7 8 】

リード制御信号 RDC がローレベル遷移すると、トランスファゲート T1 が導通する。この時点でハイレベルになっているイネーブル信号 EX がラッチ回路に取り込まれ、ラッチ信号 LPMP がハイレベルに反転する。これにより、原発振信号 OSC1 が、ナンドゲート D1 およびインバータゲート I2 を介してチャージポンプ用発振信号 OSCPMP として出力される。イネーブル信号 EX のハイレベル遷移からリード制御信号 RDC のローレベル遷移までの期間 D12 の間、電圧発生回路 16A 乃至 16D におけるチャージポンプ動作の開始が遅延し、バياس電圧端子 V(X) への電圧供給が遅延する。

【 0 0 7 9 】

また、イネーブル信号 EX がローレベルに遷移することに先立ち、リード制御信号 RDC がハイレベル遷移する。この場合も同様に、リード制御信号 RDC のハイレベル期間ではトランスファゲート T1 は非導通状態に維持されて、ラッチ回路から出力されるラッチ信号 LPMP はハイレベル信号を維持する。

【0080】

ハイレベルのラッチ信号LPMPにより、原発振信号OSC1が、ナンドゲートD1およびインバータゲートI2を介してチャージポンプ用発振信号OSCPMPとして出力され続ける。

【0081】

リード制御信号RDCがローレベル遷移すると、トランスファゲートT1が導通する。ローレベルのイネーブル信号EXがラッチ回路に取り込まれ、ラッチ信号LPMPがローレベルに反転する。これにより、ナンドゲートD1の出力端子はハイレベルに固定され、チャージポンプ用発振信号OSCPMPはローレベルに固定される。イネーブル信号EXのローレベル遷移からリード制御信号RDCのローレベル遷移までの期間D13の間、電圧発生回路16A乃至16Dにおけるチャージポンプ動作の終了が遅延し、バイアス電圧端子V(X)の電圧供給停止が遅延する。

【0082】

図9に、第2実施形態の半導体メモリの回路ブロック図を示す。第2実施形態の半導体メモリでは、第1実施形態の半導体メモリにおける各種のスイッチ回路110乃至11N、120乃至12N、130乃至13Nに代えて、ウェル電圧スイッチ回路210乃至21N、ワード線電圧スイッチ回路220乃至22N、およびライトビット線スイッチ回路230乃至23Nが備えられている。これらのスイッチ回路210乃至21N、220乃至22N、230乃至23Nには、リード制御信号RDCが入力されている。また、電圧発生回路16に代えて電圧発生回路26が備えられている。各電圧発生回路26A乃至26Dには、リード制御信号RDCは入力されていない。

【0083】

入力されたリード制御信号RDCは、各イネーブル信号E0WE乃至ENWE、E0WL+/-乃至ENWL+/-、およびE0WB乃至ENWBをマスクする。リード制御信号RDCが活性化されていない状態では、ライト制御回路105から出力される各イネーブル信号E0WE乃至ENWE、E0WL+/-乃至ENWL+/-、およびE0WB乃至ENWBに応じて、各スイッチ回路210

乃至21N、220乃至22N、230乃至23Nが択一に選択されて、各種のバイアス電圧VWB、VWL+、VWL-、VWEが選択されたバンクに供給される。リード制御信号RDCが活性化されている場合には、各イネーブル信号E0WE乃至ENWE、E0WL+/-乃至ENWL+/-、およびE0WB乃至ENWBはマスクされ、バイアス電圧がバンクに供給されることはない。

【0084】

選択されたバンクへの各バイアス電圧の印加開始および印加終了のタイミングに合わせてリード制御信号RDCによる各イネーブル信号のマスクが行なわれる。これにより、データ読み出し動作において微小電圧の記憶データが出力されるリード制御信号RDCの活性化タイミングに、データ書き込み動作におけるバイアス電圧の電圧遷移が、選択されているバンクに伝播されることはない。

【0085】

図10に示す第2実施形態の具体例は、昇圧電圧を供給するウェル電圧スイッチ回路210乃至21N、ワード線電圧スイッチ回路220乃至22N、およびライトビット線スイッチ回路230乃至23Nについての具体例である。但し、ワード線電圧スイッチ回路220乃至22Nについては、バイアス電圧VWL+についてのスイッチ回路に適用される回路である。各電圧発生回路26Dおよび26Aからのバイアス電圧VWEおよびVWB（VXで総称。）を、選択されたバンクに供給する際、供給開始および供給終了のタイミングをマスクして遅延させる回路構成例を示したものである。

【0086】

バンクバイアス端子BANK（X）を、電源電圧VCCまたは接地電圧VSSに放電するにあたり、放電制御信号CHGDNXおよびリード制御信号RDCにより制御される放電制御回路VD2と、バイアス電圧VXを供給するにあたり、イネーブル信号EXおよびリード制御信号RDCにより制御される電圧充電部VC2とを備えている。

【0087】

電圧充電部VC2は、PMOSトランジスタP4乃至P6、NMOSトランジスタN3、N4、およびインバータゲートI12で構成されており、第1実施形

態の第1具体例（図5）における、PMOSトランジスタP1乃至P3、NMOSトランジスタN1、N2、およびインバータゲートI1と同様の構成をしている。イネーブル信号EXおよびリード制御信号RDCの電圧振幅レベルをレベルシフトしてPMOSトランジスタP4を導通制御する機能を有している。

【0088】

イネーブル信号EXおよび放電制御信号CHGDNXは、各々、トランスファゲートT2およびT3を介してインバータゲートI8、I9、およびI10、I11で構成されるラッチ回路に接続される。トランスファゲートの開閉制御は、リード制御信号RDCにより行なわれる。これらの構成によりスイッチ遅延部SD2を構成している。リード制御信号RDCがローレベル状態における論理レベルがラッチ回路に取り込まれる。第1実施形態の第2具体例（図7）と同様の構成を有している。ラッチ回路に取り込まれたイネーブル信号EXおよび放電制御信号CHGDNXの論理レベルに応じて、スイッチ回路の選択制御が行なわれる。

【0089】

第2実施形態の具体例の回路動作を図11に示す。イネーブル信号EXがハイレベルに遷移することに先立ち、リード制御信号RDCがハイレベル遷移する。リード制御信号RDCのハイレベル期間にはトランスファゲートT2、T3は非導通状態に維持される。このため、ラッチ回路から出力されるラッチ信号はハイレベルに維持される。

【0090】

電圧充電部VC2において、ラッチ回路から出力されるハイレベル信号はインバータゲートI12により反転され、NMOSトランジスタN4を介してPMOSトランジスタP5のゲート端子をローレベルにバイアスする。これにより、PMOSトランジスタP4は非導通に維持される。

【0091】

一方、放電制御信号CHGDNXは図示していないが、イネーブル信号EXと同相の信号である。従って、インバータゲートI10、I11によるラッチ回路からの出力信号もハイレベルとなる。このハイレベル信号により、放電制御回路VD2は活性化され、バンクバイアス端子BANK(X)は放電された状態を維

持する。

【0092】

リード制御信号RDCがローレベル遷移すると、トランスファゲートT2、T3が導通する。この時点で共にハイレベル信号であるイネーブル信号EXおよび放電制御信号CHGDNXにより、各々のラッチ回路が反転されローレベル信号が出力される。放電制御回路VD2が非活性化されると共に、電圧充電部VC2におけるPMOSトランジスタP4が導通して、バイアス電圧端子V(X)を介してバンクバイアス端子BANK(X)にバイアス電圧VXが供給される。イネーブル信号EXのハイレベル遷移からリード制御信号RDCのローレベル遷移までの期間D21の間、バンクバイアス端子BANK(X)にバイアス電圧VXが供給されることはなく電圧供給が遅延する。

【0093】

また、イネーブル信号EXおよび放電制御信号CHGDNXがローレベルに遷移することに先立ち、リード制御信号RDCがハイレベル遷移する。この場合も同様に、リード制御信号RDCのハイレベル期間には、トランスファゲートT2、T3は非導通状態に維持されて、ラッチ回路から出力されるラッチ信号はローレベル信号を維持する。バンクバイアス端子BANK(X)にはバイアス電圧VXが出力され続ける。

【0094】

リード制御信号RDCがローレベル遷移すると、トランスファゲートT2、T3が導通する。ローレベルのイネーブル信号EXおよび放電制御信号CHGDNXがラッチ回路に取り込まれ、ラッチ信号がハイレベルに反転する。電圧充電部VC2によるバンクバイアス端子BANK(X)へのバイアス電圧VXの供給が停止されると共に、放電制御回路VD2によるバンクバイアス端子BANK(X)の放電が行なわれる。イネーブル信号EXのローレベル遷移からリード制御信号RDCのローレベル遷移までの期間D22の間、バンクバイアス端子BANK(X)にバイアス電圧VXが供給され、電圧供給の停止が遅延する。

【0095】

第2実施形態の具体例では、バンクバイアス端子BANK(X)に昇圧電圧V_Xを供給する場合のスイッチ回路の構成例である。ワード線電圧スイッチ回路220乃至222においては、負電圧のワード線電圧VWL-を切り替える必要がある。この回路については図示していないが、MOSトランジスタの導電型をP型とN型とで逆転させると共に、接地電圧VSSに対する接続関係を電源電圧VCCに対する接続関係に逆転させることにより、負電圧を供給するスイッチ回路を構成することができる。この場合も、トランスファゲートT2、T3、およびラッチ回路を備えることにより、イネーブル信号EXおよび放電制御信号CHGDNXをリード制御信号RDCによりラッチ制御してやれば、バンクバイアス端子BANK(X)への負電圧のバイアス電圧の供給タイミングを遅延させることができる。

【0096】

以上、詳細に説明したように第1および第2実施形態によれば、データ読み出し動作において所定状態を示す制御信号ATD、EQ、LTのうちの少なくとも1つの所定第1信号（リード制御信号RDCと総称）に基づいて、データ書き込み動作が制御される。具体的には、電圧放電部VD1におけるノアゲートR1、発信遅延部OD1、またはスイッチ遅延部SD2により、イネーブル信号EXに対する、各種のバイアス電圧VWE、VWL+/-、VWBの電圧遷移の実行応答を遅延させることができる。

【0097】

ここで、データ読み出し動作とは第1動作状態の一例であり、センスアンプ108による微小電圧信号の読み出し状態が所定状態に当る。また、制御信号ATD、EQ、LTのうちの少なくとも何れかの信号（リード制御信号RDCと総称）が所定第1信号の一例である。また、データ書き込み動作が、第2動作ステップ、またはシーケンス制御部による第2動作シーケンスの一例である。また、電圧放電部VD1におけるノアゲートR1、発信遅延部OD1、またはスイッチ遅延部SD2が応答遅延ステップまたは応答遅延部の一例である。また、各種のバイアス電圧VWE、VWL+/-、VWBの電圧遷移が所定の状態遷移の一例である。また、イネーブル信号EXの論理レベルの遷移が所定の状態遷移の指示の

一例である。

【0098】

また、読み出し時において読み出された記憶データやリファレンスデータが微小信号であり、差動増幅される際の両者の電圧差が微小電圧である期間に、書き込み動作における大きな電圧遷移や電流遷移が行なわれることはない。微小信号の読み出し動作が、書き込み動作によるノイズに影響を受けることはなく、読み出し動作と書き込み動作とが相互に独立して行なわれる場合にも、安定した読み出し動作を行うことができる。

【0099】

読み出し動作と書き込み動作とが同時に行なわれる場合、書き込み動作における電圧や電流の遷移タイミングを遅延させて読み出し動作へのノイズの影響を排除する。読み出し動作が遅延することではなく高速で安定した読み出し動作を確保することができる。更に、書き込み動作における遅延時間は、読み出し動作における微小信号の処理期間に限定することができる。長い書き込み時間に対する遅延時間は僅少であり、書き込み動作時間に占める遅延時間のオーバーヘッドは無視することができる。

【0100】

図12に、第3実施形態の半導体メモリの回路ブロック図を示す。第3実施形態では、バンクA、Bごとにスイッチ回路群31A、31Bを備えると共に、ライト回路32A、32B、およびリード回路33A、33Bを備える構成である。バンクB、Aごとに備えられるライト回路32B、32A、またはスイッチ回路群31B、31Aに対して、互いの他方のバンクA、Bに備えられているリード回路33A、33Bからのリード制御信号RDCA、RDCBが入力されている。

【0101】

リード制御信号RDCA、RDCBがライト回路32B、32Aにおける電圧発生回路に作用することにより、第1実施形態と同様に、バンクごとのデータ書き込み動作において生成されるバイアス電圧の電圧遷移のタイミングを遅延させることができる。また、リード制御信号RDCA、RDCBがスイッチ回路群3

1 B、3 1 Aに作用することにより、第2実施形態と同様に選択されたバンクへのバイアス電圧V Xの印加切り替えのタイミングを遅延させることができる。

【0 1 0 2】

第3実施形態によれば、データ読み出し動作において微小電圧の記憶データが出力されるリード制御信号の活性化タイミングに、データ書き込み動作におけるバイアス電圧の電圧遷移が行なわれることはない。

【0 1 0 3】

尚、第3実施形態では、2つのバンクA、Bについて、互いに他のバンクB、Aに対してリード制御信号R D C A、R D C Bが入力されてデータ書き込み動作が制御される場合について示したが、3つ以上のバンクを備える半導体メモリについても同様な構成とすることができる。この場合、データ書き込み動作を制御するリード制御信号としては、データ書き込み動作が行なわれるバンクによるノイズの影響を最も受けるバンクからのリード制御信号であることが好ましい。ノイズの影響を受けるバンクが複数存在する場合には、これらのバンクからのリード制御信号の論理和信号とすることもできる。この他、ノイズ状況に応じてリード制御信号を適宜に組み合わせて制御することが可能である。

【0 1 0 4】

図1 3に示す第4実施形態は、状態遷移指示用のモード信号MODEを出力するモード制御部についての実施形態である。図1 3中、①で示す部分は、状態遷移用発振回路T D 4 がリード制御信号R D Cにより制御される。リード制御信号R D Cに応じて遅延されて状態遷移用発振回路T D 4 からステート発振信号O S C 2が出力される。このステート発振信号O S C 2に基づいてステートマシン4 1が動作する。状態遷移のタイミングを計時することによりモード信号MODEが出力される。ここで、状態遷移用発振回路T D 4 は計時遅延部を構成している。第1および第2具体例（図1 4乃至図1 7）に詳細に説明する。また、②で示す部分は、状態遷移用発振回路T D 4からのステート発振信号O S C 2に基づいてステートマシン4 1が制御される。ステートマシン4 1からの出力信号は遅延付加回路D A 4に入力され、リード制御信号R D Cに応じて遅延を付加された上でモード信号MODEが出力される。ここで、遅延付加回路D A 4は遅延付加部

を構成している。第3具体例（図18）に詳細に説明する。

【0105】

図14に示す第4実施形態の第1具体例では、原ステート発振信号OSC2ーから伝播して出力されるステート発振信号OSC2を、リード制御信号RDCにより発振周期単位で遅延制御する状態遷移用発振回路TD4の回路構成例である。

【0106】

原ステート発振信号OSC2ーがトランスファゲートT4を介してインバータゲートI15、I16で構成されるラッチ回路に取り込まれる。ラッチ回路からの反転出力信号はインバータゲートI17を介して再反転されてステート発振信号OSC2として出力される。トランスファゲートT4を構成しているPMOS／NMOSトランジスタの各ゲート端子には、インバータゲートI13、I14の各出力端子が接続されている。インバータゲートI13、I14はラッチ回路を構成している。

【0107】

また、トランスファゲートT4のNMOSトランジスタのゲート端子には、NMOSトランジスタN5が接続される。NMOSトランジスタN5はゲート端子に入力されているリード制御信号RDCにより接地電圧VSSとの間で導通制御される。トランスファゲートT4のPMOSトランジスタのゲート端子には、NMOSトランジスタN6、N7が接続されている。NMOSトランジスタN6はゲート端子が起動信号STAにより制御され接地電圧VSSとの間で導通制御される。NMOSトランジスタN7には、接地電圧VSSとの間にNMOSトランジスタN8、N9が並列接続されている。NMOSトランジスタN7のゲート端子はインバータゲートI18を介してリード制御信号RDCが反転されて入力されている。NMOSトランジスタN8、N9の各ゲート端子には、各々パルス発生回路PA、PBが接続されている。

【0108】

パルス発生回路PA、PBは同一の回路構成であり、ナンドゲートからの出力信号がインバータゲートで反転されて正のパルスが出力される。各々のナンドゲ

ートには、原ステート発振信号OSC2-およびその反転遅延信号、原ステート発振信号OSC2-の反転信号およびその反転遅延信号が入力される。パルス発生回路PAは、原ステート発振信号OSC2-の立ち上がりの状態遷移に対して正パルスを生成し、パルス発生回路PBは、原ステート発振信号OSC2-の立ち下りの状態遷移に対して正パルスを生成する。

【0109】

次に回路動作について説明する。回路の起動により起動信号STAがハイパルス信号となる。これにより、インバータゲートI13、I14のラッチ回路がセットされトランスファゲートT4が導通状態にセットされる。原ステート発振信号OSC2-がそのままステート発振信号OSC2として出力される定常状態が設定される。この状態が図15に示された動作状態である。

【0110】

また、定常状態においてリード制御信号RDCがローレベルである場合には、NMOSトランジスタN7が導通すると共に、原ステート発振信号OSC2-の立ち上がり／立ち下りの状態遷移で、パルス信号A、Bが正パルスとなる。これによりNMOSトランジスタN8、N9が交互に導通して、NMOSトランジスタN7を介してラッチ回路におけるインバータI13の出力端子にローレベルを供給し続ける。この間、NMOSトランジスタN5は非導通状態を維持する。従って、トランスファゲートT4は導通状態を維持する。

【0111】

原ステート発振信号OSC2-の立ち上がり／立ち下りの状態遷移を含んでリード制御信号RDCがハイレベルになると、パルス信号A、Bがマスクされる。NMOSトランジスタN7が非導通となると共に、NMOSトランジスタN5が導通する。パルス信号A、BによるインバータゲートI13の出力端子へのローレベルの供給が遮断されながら、インバータゲートI14の出力端子へのローレベルの供給が行なわれる。ラッチ回路にラッチされている信号が反転してトランスファゲートT4は非導通状態となる。これにより、原ステート発振信号OSC2-の立ち上がり／立ち下りの状態遷移が伝播することなく、ステート発振信号OSC2は、インバータゲートI15、I16によりラッチされている論

理レベルに固定される。すなわち、状態遷移前の論理レベルが出力されることとなり、発振信号が間引かれることとなる。パルス信号Aがマスクされるとステート発振信号OSC2のハイレベル遷移が間引かれ、パルス信号Bがマスクされるとステート発振信号OSC2のローレベル遷移が間引かれる。

【0112】

ステートマシン41では、ステート発振信号OSC2の発振回数を計数して状態遷移のタイミングを計時する。従って、ステート発振信号OSC2における発振動作が間引かれることにより、ステート発振信号OSC2の発振周期単位で状態遷移のタイミングを遅延させることができる。パルス信号Aがマスクされると、ステート発振信号OSC2のローレベル期間が1周期D41の間継続し、パルス信号Bがマスクされると、ステート発振信号OSC2のハイレベル期間が1周期D42の間継続する。

【0113】

図16に示す第4実施形態の第2具体例では、原ステート発振信号OSC2-から伝播して出力されるステート発振信号OSC2を、リード制御信号RDCの活性状態であるハイレベル期間の間、遅延制御する状態遷移用発振回路TD4の回路構成例である。

【0114】

第4実施形態の第1具体例（図14）と同様に、原ステート発振信号OSC2-からステート発振信号OSC2への経路が、トランスファゲート、ラッチ回路、およびインバータゲートで構成されている。ここで、トランスファゲートへの制御信号は、第4実施形態の第1具体例（図14）とは異なり、リード制御信号RDCにより行なわれる。リード制御信号RDCがハイレベルの期間に、トランスファゲートが非導通状態となる。ステート発振信号OSC2の立ち上がり／立ち下りの状態遷移のタイミングでリード制御信号RDCがハイレベルになる場合に状態遷移を遅延させる。

【0115】

第4実施形態の第2具体例の回路動作を図17に示す。原ステート発振信号OSC2-の立ち上がり／立ち下りの状態遷移に先立ち、リード制御信号RDC

がハイレベル遷移する。リード制御信号 RDC のハイレベル期間では、トランスファゲートは非導通状態に維持されるので、ステート発振信号 OSC 2 はラッチ回路にラッチされている論理レベルに固定される。

【 0 1 1 6 】

リード制御信号 RDC がローレベル遷移すると、トランスファゲートが導通する。状態遷移後の原ステート発振信号 OSC 2- がラッチ回路に取り込まれ、ステート発振信号 OSC 2 が反転する。原ステート発振信号 OSC 2- の状態遷移からリード制御信号 RDC のローレベル遷移までの期間 D 4 3、D 4 4 の間、ステート発振信号 OSC 2 の状態遷移のタイミングが遅延する。

【 0 1 1 7 】

図 1 8 に示す第 4 実施形態の第 3 具体例では、ステートマシン 4 1 からの出力信号に対して、リード制御信号 RDC の活性状態であるハイレベル期間の間、モード信号 MODE を遅延制御する遅延付加回路 DA 4 の回路構成例である。

【 0 1 1 8 】

具体的な回路構成および回路動作については、第 4 実施形態の第 2 具体例（図 1 6、図 1 7）と同様であるので、ここでの説明は省略する。リード制御信号 RDC がハイレベルの期間に、トランスファゲートが非導通状態となる。ステートマシン 4 1 からの出力信号の状態遷移タイミングでリード制御信号 RDC がハイレベルになる場合に状態遷移を遅延させる。

【 0 1 1 9 】

以上、詳細に説明したように、第 4 実施形態の第 1 または第 2 具体例によれば、ステートマシン 4 1 に対して、状態遷移用発振回路 TD 4 により原ステート発振信号 OSC 2- に対してステート発振信号 OSC 2 の供給タイミングを遅延させることができるので、ステートマシン 4 1 により制御されるデータ書き込み動作における所定の電圧または電流遷移を遅延させることができる。

【 0 1 2 0 】

ここで、ステートマシン 4 1 とは、データ書き込み動作である第 2 動作シーケンスを制御する状態遷移指示ステップまたはシーケンス制御部の一例である。また、原ステート発振信号 OSC 2- とは、遅延制御される前の計時情報の一例で

あり、ステート発振信号OSC2とは、遅延制御された計時情報の一例である。計時ステップまたは計時部により原ステート発振信号OSC2-が生成され、計時遅延ステップまたは計時遅延部によりステート発振信号OSC2が生成される。状態遷移用発振回路TD4とは、計時ステップまたは計時部と計時遅延ステップまたは計時遅延部との両者を含んだ構成である。第1または第2具体例が計時遅延ステップまたは計時遅延部の一例である。

【0121】

また、第4実施形態の第3具体例によれば、遅延付加回路DA4により、ステートマシン41からのモード信号MODEを遅延させることができる。

【0122】

ここで、遅延付加回路DA4とは、遅延付加ステップまたは遅延付加部の一例である。ステートマシン41とは、データ書き込み動作である第2動作シーケンスを制御する状態遷移指示ステップまたはシーケンス制御部の一例である。モード信号MODEとは、状態遷移指示ステップからの所定の状態遷移の指示、またはシーケンス制御部からの少なくとも1つの所定制御信号である。

【0123】

また、読み出し時において、読み出された記憶データやリファレンスデータが微小信号であり、差動増幅される際の両者の電圧差が微小電圧である期間に、書き込み動作における大きな電圧遷移や電流遷移が行なわれることはない。微小信号の読み出し動作が、書き込み動作によるノイズに影響を受けることはなく、読み出し動作と書き込み動作とが相互に独立して行なわれる場合にも、安定した読み出し動作を行なうことができる。

【0124】

読み出し動作と書き込み動作とが同時に行なわれる場合、書き込み動作における電圧や電流の遷移タイミングを遅延させて読み出し動作へのノイズの影響を排除する。読み出し動作が遅延することなく高速で安定した読み出し動作を確保することができる。更に、書き込み動作における遅延時間は、読み出し動作における微小信号の処理期間に限定することができる。長い書き込み時間に対して遅延時間は僅少であり、書き込み動作時間に占める遅延時間のオーバーヘッドは無

視することができる。

【 0 1 2 5 】

図 1 2 に示す第 5 実施形態は、ウェイト時間設定回路 5 1 により設定されている状態遷移タイミングを、リード制御信号 RDC に応じて調整した上でモード信号 MODE として出力するステートマシンについての実施形態である。

【 0 1 2 6 】

モードを設定するコマンド信号 CMD と、ステート発振信号 OSC 2 とが入力されるウェイト時間設定回路 5 1 からはタイミング信号が出力される。タイミング信号はウェイト時間調整回路 WA 5 に入力され、モード信号 MODE が出力される。ウェイト時間調整回路 WA 5 のイネーブル端子 (EN) にはリード制御信号 RDC が入力されている。

【 0 1 2 7 】

ウェイト時間設定回路 5 1 では、コマンド信号 CMD に応じて対応するタイミング信号が出力されるが、タイミング信号の出力タイミングは、予め定められているタイミングに従ってステート発振信号 OSC 2 を計時することにより行なわれる。

【 0 1 2 8 】

ウェイト時間調整回路 WA 5 では、イネーブル端子 (EN) に入力されているリード制御信号 RDC に応じて、入力されるタイミング信号に対するモード信号 MODE の出力タイミングが設定される。すなわち、リード制御信号 RDC がローレベルでありウェイト時間調整回路 WA 5 が非活性化されている場合には、タイミングの調整は行なわれず、タイミング信号はそのままモード信号 MODE として出力される。リード制御信号 RDC がハイレベルでありウェイト時間調整回路 WA 5 が活性化されている場合には、タイミングの調整が行なわれた上でモード信号 MODE が出力される。具体的には、タイミング信号に対して遅延が付加されてモード信号 MODE が出力される。

【 0 1 2 9 】

第 5 実施形態によれば、ウェイト時間調整回路 WA 5 では、リード制御信号 RDC に応じて、入力されるタイミング信号に対して所定の遅延が付加される。モ

ード信号MODEの遷移タイミングが遅延することにより状態遷移を遅延させることができる。ステートマシンから出力されるモード信号MODEの遅延により、データ書き込み動作における所定の電圧または電流遷移を遅延させることができる。

【0130】

ここで、ウェイト時間調整回路WA5とは設定時間調整部の一例である。また、ウェイト時間設定回路51とは、状態遷移までの所定時間または所定動作シーケンスの設定時間を設定する回路の一例である。

【0131】

また、読み出し時において、読み出された記憶データやリファレンスデータが微小信号であり、差動増幅される際の両者の電圧差が微小電圧である期間に、書き込み動作における大きな電圧遷移や電流遷移が行なわれることはない。微小信号の読み出し動作が、書き込み動作によるノイズに影響を受けることはなく、読み出し動作と書き込み動作とが相互に独立して行なわれる場合にも、安定した読み出し動作を行なうことができる。

【0132】

読み出し動作と書き込み動作とが同時に行なわれる場合、書き込み動作における電圧や電流の遷移タイミングを遅延させて読み出し動作へのノイズの影響を排除する。読み出し動作が遅延することなく高速で安定した読み出し動作を確保することができる。更に、書き込み動作における遅延時間は、読み出し動作における微小信号の処理期間に限定することができる。長い書き込み時間に対して遅延時間は僅少であり、書き込み動作時間に占める遅延時間のオーバーヘッドは無視することができる。

【0133】

尚、第5実施形態では、ウェイト時間調整回路WA5において付加される遅延時間の設定については特に明記されていないが、予め設定された固定時間とすることができる他、外部から書き換え可能な回路構成とすることもできる。書き換え可能な回路としては、複数のヒューズを備えておき、切断・未切断の別により時間設定をする方式、フリップフロップ等で構成されたレジスタ等へ書き込む方式

、RAMやフラッシュメモリ等の記憶素子に書き込む方式等、データの書き換え、記憶のできる回路方式であれば適宜に選択することができる。

【0104】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、不揮発性メモリについて説明したが、本発明はこれに限定されるものではなく、相互に独立して動作する複数の動作モードを有する半導体メモリについても同様に適用することができる。例えば、外部とのデータ入出力動作と内部で独立して行われるリフレッシュ動作とを備える半導体メモリについて、互いに微小信号動作を行なうタイミングと大きな電圧または電流振幅が行なわれる動作とが存在する場合に適用できる。この場合の例として、微小信号動作とは記憶セルから読み出されたデータの差動増幅動作であり、大きな振幅動作とは、ワード線の駆動動作、外部とのデータ入出力動作等が考えられる。

【0135】

また、本実施形態では、正電圧のバイアス電圧を昇圧電圧であるとして説明したが、本発明はこれに限定されるものではない。電源電圧VCCとして内部降圧電圧を使用する場合には、昇圧電圧に代えて降圧される前の外部電圧を使用する構成とすることもできる。

【0136】

(付記1) 第1動作シーケンスに従い実行される第1動作ステップと、

第2動作シーケンスに従い、前記第1動作ステップとは独立して実行される第2動作ステップとを有する半導体記憶装置の制御方法であって、

前記第1動作シーケンスにおける所定の第1動作状態に基づき、前記第2動作シーケンスの指示に従い前記第2動作ステップで実行される所定の状態遷移を遅延する制御ステップを有することを特徴とする半導体記憶装置の制御方法。

(付記2) 前記制御ステップにより遅延する前記所定の状態遷移とは、前記第2動作ステップの開始、終了、および前記第2動作ステップ内における状態切り替わりのうちの少なくとも何れか1つであることを特徴とする付記1に記載の半導

体記憶装置の制御方法。

(付記 3) 前記所定の第 1 動作状態とは、微小信号による動作状態であり、

前記所定の状態遷移とは、前記微小信号による動作状態に対してノイズ源となる電圧遷移または電流遷移であることを特徴とする付記 1 に記載の半導体記憶装置の制御方法。

(付記 4) 前記制御ステップは、前記所定の第 1 動作状態に基づき、前記第 2 動作シーケンスによる前記所定の状態遷移の指示に対して応答を遅延する応答遅延ステップを有することを特徴とする付記 1 に記載の半導体記憶装置の制御方法。

(付記 5) 前記第 2 動作ステップは、電圧生成ステップまたは電流生成ステップの少なくとも何れか一方を有し、

前記応答遅延ステップにより、前記電圧生成ステップまたは前記電流生成ステップにおいて、電圧または電流の非出力状態から出力状態への切り替わり、または出力状態から非出力状態への切り替わりが遅延することを特徴とする付記 4 に記載の半導体記憶装置の制御方法。

(付記 6) 前記第 2 動作ステップは、電圧生成ステップまたは電流生成ステップの少なくとも何れか一方を有し、

前記応答遅延ステップにより、前記電圧生成ステップまたは前記電流生成ステップにおいて、電圧または電流の生成開始または生成停止が遅延することを特徴とする付記 4 に記載の半導体記憶装置の制御方法。

(付記 7) 前記第 2 動作ステップは、経路形成ステップを有し、

前記応答遅延ステップにより、前記経路形成ステップにおいて、信号経路の非確立状態から確立状態への切り替わり、または確立状態から非確立状態への切り替わりが遅延することを特徴とする付記 4 に記載の半導体記憶装置の制御方法。

(付記 8) 前記第 2 動作ステップは、

前記第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップと、

前記状態遷移指示ステップに対して計時情報を供給する計時ステップとを有し、

前記制御ステップは、前記所定の第 1 動作状態に基づき、前記計時情報を供給するタイミングを遅延する計時遅延ステップを有することを特徴とする付記 1 に記載の半導体記憶装置の制御方法。

(付記 9) 前記計時ステップは、基本時間を 1 単位として前記計時情報を供給する基本計時ステップを有し、

前記計時遅延ステップにより、前記基本計時ステップにおける前記基本時間の計時が停止または遅延することを特徴とする付記 8 に記載の半導体記憶装置の制御方法。

(付記 10) 前記計時の停止は、前記基本時間の単位で行なわれることを特徴とする付記 9 に記載の半導体記憶装置の制御方法。

(付記 11) 前記計時の遅延は、前記所定の第 1 動作状態に応じた時間で行なわれることを特徴とする付記 9 に記載の半導体記憶装置の制御方法。

(付記 12) 前記第 2 動作ステップは、前記第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップを有し、

前記制御ステップは、前記所定の第 1 動作状態に基づき、前記所定の状態遷移の指示を遅延する遅延付加ステップを有することを特徴とする付記 1 に記載の半導体記憶装置の制御方法。

(付記 13) 前記第 2 動作ステップは、前記第 2 動作シーケンスに従い所定時間ごとに状態遷移の指示を行なう状態遷移指示ステップを有し、

前記制御ステップは、前記所定の第 1 動作状態に基づき、前記状態遷移指示ステップにおける前記所定時間を伸長させる設定時間調整ステップを有することを特徴とする付記 1 に記載の半導体記憶装置の制御方法。

(付記 14) 記憶セルとして、電氣的に書き換え可能な不揮発性記憶セルを備えることを特徴とする付記 1 乃至 13 の少なくとも何れか 1 項に記載の半導体記憶装置の制御方法。

(付記 15) 前記第 1 動作ステップは、データ読み出し動作ステップであり、

前記第 2 動作ステップは、データ書き込み動作ステップであることを特徴とする付記 14 に記載の半導体記憶装置の制御方法。

(付記 16) 前記データ書き込み動作ステップは、データプログラムステップ

またはデータ消去ステップであることを特徴とする付記 1 5 に記載の半導体記憶装置の制御方法。

(付記 1 7) 第 1 動作シーケンスに応じて、第 1 動作のための少なくとも 1 つの第 1 信号を出力する第 1 回路と、

第 2 動作シーケンスに応じて、前記第 1 動作とは独立して動作する第 2 動作のための少なくとも 1 つの第 2 信号を出力する第 2 回路とを備え、

前記第 2 回路は、前記第 1 信号のうちの少なくとも 1 つの所定第 1 信号に基づき制御され、前記第 2 信号のうちの少なくとも 1 つの所定第 2 信号の出力が遅延することを特徴とする半導体記憶装置。

(付記 1 8) 前記所定第 2 信号は、前記第 2 動作の開始時、終了時、および前記第 2 動作シーケンスによる動作切り替わり時のうちの少なくとも何れかのタイミングにおいて出力される信号であることを特徴とする付記 1 7 に記載の半導体記憶装置。

(付記 1 9) 前記所定第 1 信号は、前記第 1 動作における微小信号動作での信号であり、

前記所定第 2 信号は、前記微小信号動作に対してノイズ源となる電圧遷移または電流遷移を伴う信号であることを特徴とする付記 1 7 に記載の半導体記憶装置。

(付記 2 0) 前記第 2 回路は、

前記第 2 動作シーケンスを制御するシーケンス制御部と、

前記シーケンス制御部からの少なくとも 1 つの制御信号に基づき、前記少なくとも 1 つの第 2 信号を出力する信号出力部と、

前記少なくとも 1 つの所定第 1 信号に基づき、前記信号出力部における前記制御信号のうちの少なくとも 1 つの所定制御信号に対する前記少なくとも 1 つの所定第 2 信号の出力応答を遅延する応答遅延部とを備えることを特徴とする付記 1 7 に記載の半導体記憶装置。

(付記 2 1) 前記信号出力部は、電圧発生回路または電流発生回路を備え、

前記応答遅延部により、電圧または電流の非出力状態から出力状態への切り替わり、または出力状態から非出力状態への切り替わりが遅延することを特徴とす

る付記 2 0 に記載の半導体記憶装置。

(付記 2 2) 前記信号出力部は、電圧発生回路または電流発生回路を備え、
前記応答遅延部により、前記電圧発生回路または前記電流発生回路の回路動作
の開始または回路動作の停止が遅延することを特徴とする付記 2 0 に記載の半導
体記憶装置。

(付記 2 3) 前記信号出力部は、スイッチ回路を備え、
前記応答遅延部により、前記スイッチ回路の開閉の切り替わりタイミングが遅
延することを特徴とする付記 2 0 に記載の半導体記憶装置。

(付記 2 4) 前記第 2 回路は、
前記第 2 動作シーケンスを制御するシーケンス制御部と、
前記シーケンス制御部に対して計時情報を供給する計時部と、
前記少なくとも 1 つの所定第 1 信号に基づき、前記計時部における計時動作を
遅延する計時遅延部とを備えることを特徴とする付記 1 7 に記載の半導体記憶装
置。

(付記 2 5) 前記計時部は、所定周期の発振信号を出力する発振部を備え、
前記計時遅延部により、発振動作の停止または前記発振信号の周期の伸長が行
なわれることを特徴とする付記 2 4 に記載の半導体記憶装置。

(付記 2 6) 前記発振動作の停止とは、前記発振信号における信号遷移の禁止
であることを特徴とする付記 2 5 に記載の半導体記憶装置。

(付記 2 7) 前記発振信号の周期の伸長とは、前記少なくとも 1 つの所定第 1
信号の活性化時間に応じた時間の伸長であることを特徴とする付記 2 5 に記載の
半導体記憶装置。

(付記 2 8) 前記第 2 回路は、
前記第 2 動作シーケンスを制御するシーケンス制御部と、
前記少なくとも 1 つの所定第 1 信号に基づき、前記シーケンス制御部から出力
される少なくとも 1 つの所定制御信号を遅延する遅延付加部とを備えることを特
徴とする付記 1 7 に記載の半導体記憶装置。

(付記 2 9) 前記第 2 回路は、
前記第 2 動作シーケンスを制御するシーケンス制御部と、

前記少なくとも1つの所定第1信号に基づき、前記第2動作シーケンスにおける所定動作シーケンスの設定時間を伸長する設定時間調整部とを備えることを特徴とする付記17に記載の半導体記憶装置。

(付記30) 記憶セルとして、電氣的に書き換え可能な不揮発性記憶セルを備えることを特徴とする付記17乃至29の少なくとも何れか1項に記載の半導体記憶装置。

(付記31) 前記第1動作は、データ読み出し動作であり、
前記第2動作は、データ書き込み動作であることを特徴とする付記30に記載の半導体記憶装置。

(付記32) 前記データ書き込み動作は、データプログラム動作またはデータ消去動作であることを特徴とする付記31に記載の半導体記憶装置。

【0137】

【発明の効果】

本発明によれば、相互に独立して動作する複数の動作モードを有する半導体記憶装置において、ノイズの影響を排除したい動作を含む動作モードにより、ノイズ源となる動作を含む動作モードを制御することができる半導体記憶装置の制御方法、および半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1原理図である。

【図2】

本発明の第2原理図である。

【図3】

本発明の第3原理図である。

【図4】

第1実施形態の半導体メモリの回路ブロック図である。

【図5】

第1実施形態の第1具体例の回路図である。

【図6】

第1実施形態の第1具体例の動作波形図である。

【図7】

第1実施形態の第1具体例の回路図である。

【図8】

第1実施形態の第2具体例の動作波形図である。

【図9】

第2実施形態の半導体メモリの回路ブロック図である。

【図10】

第2実施形態の具体例の回路図である。

【図11】

第2実施形態の具体例の動作波形図である。

【図12】

第3実施形態の半導体メモリの回路ブロック図である。

【図13】

第4実施形態の半導体メモリにおけるモード制御部を示す回路ブロック図である。

【図14】

第4実施形態の第1具体例の回路図である。

【図15】

第4実施形態の第1具体例の動作波形図である。

【図16】

第4実施形態の第2具体例の回路図である。

【図17】

第4実施形態の第2具体例の動作波形図である。

【図18】

第4実施形態の第3具体例の回路図である。

【図19】

第5実施形態の半導体メモリにおけるステートマシンを示す回路ブロック図である。

【図 2 0】

従来技術の半導体メモリの回路ブロック図である。

【図 2 1】

各ファンクションモードの動作波形図である。

【符号の説明】

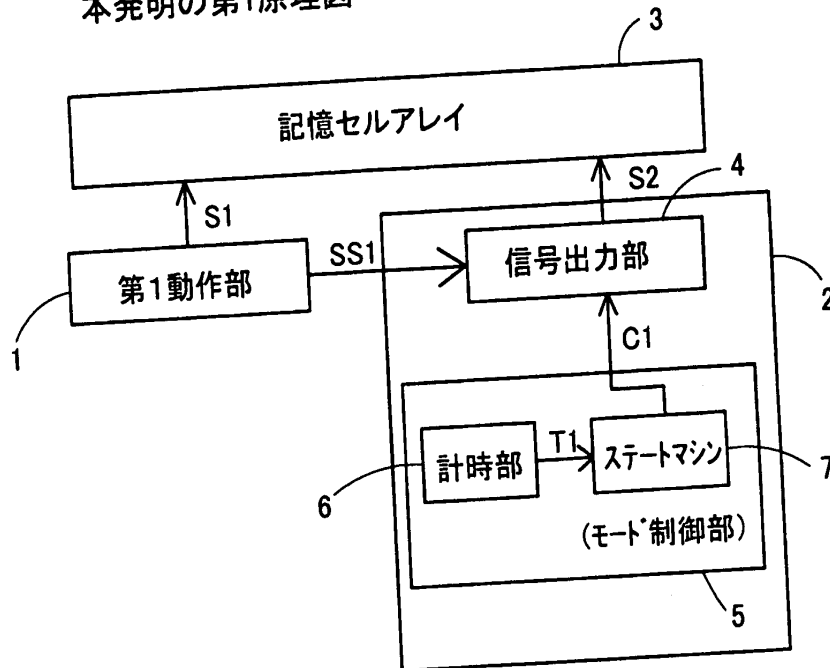
1	第 1 動作部
2	第 2 動作部
3	記憶セルアレイ
4	信号出力部
5	モード制御部
6	計時部
7	ステートマシン
1 1 0 乃至 1 1 N、2 1 0 乃至 2 1 N	ウェル電圧スイッチ回路
1 2 0 乃至 1 2 N、2 2 0 乃至 2 2 N	ワード線電圧スイッチ回路
1 3 0 乃至 1 3 N、2 3 0 乃至 2 3 N	ライトビット線スイッチ回路
1 4 0 乃至 1 4 N	リードビット線スイッチ回路
1 6、2 6	電圧発生回路
1 7	リード制御回路
3 1 A、3 1 B	スイッチ回路群
3 2 A、3 2 B	ライト回路
3 3 A、3 3 B	リード回路
4 1	ステートマシン
5 1	ウェイト時間設定回路
1 0 5	ライト制御回路
1 0 8	センスアンプ
1 0 9	リファレンスセル
BANK (X)	バンクバイアス端子
DA 4	遅延付加回路
OD 1	発信遅延部

PA、PB	パルス発生回路
SD2	スイッチ遅延部
TD1	状態遷移用発振回路
VC2	電圧充電部
VD1	電圧放電部
VD2	放電制御回路
VG1	電圧発生部
WA5	ウェイト時間調整回路
EX、EnX	イネーブル信号
MODE	モード信号
OSC2-	原ステート発振信号
OSC2	ステート発振信号
RDC、RDCA、RDCB	リード制御信号
OSCPMP	チャージポンプ用発振信号

【書類名】 図面

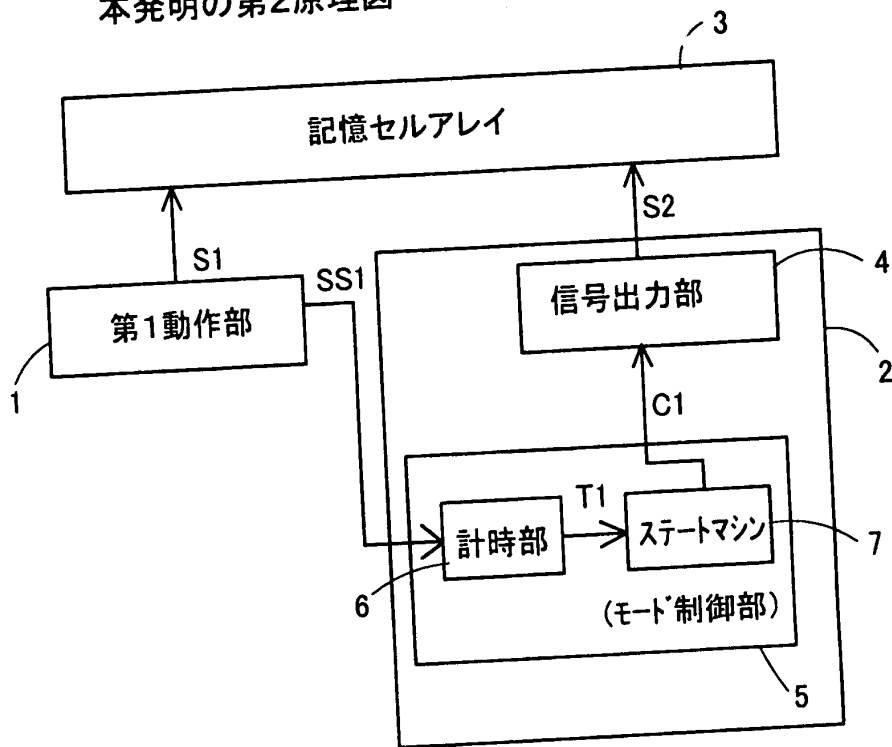
【図1】

本発明の第1原理図



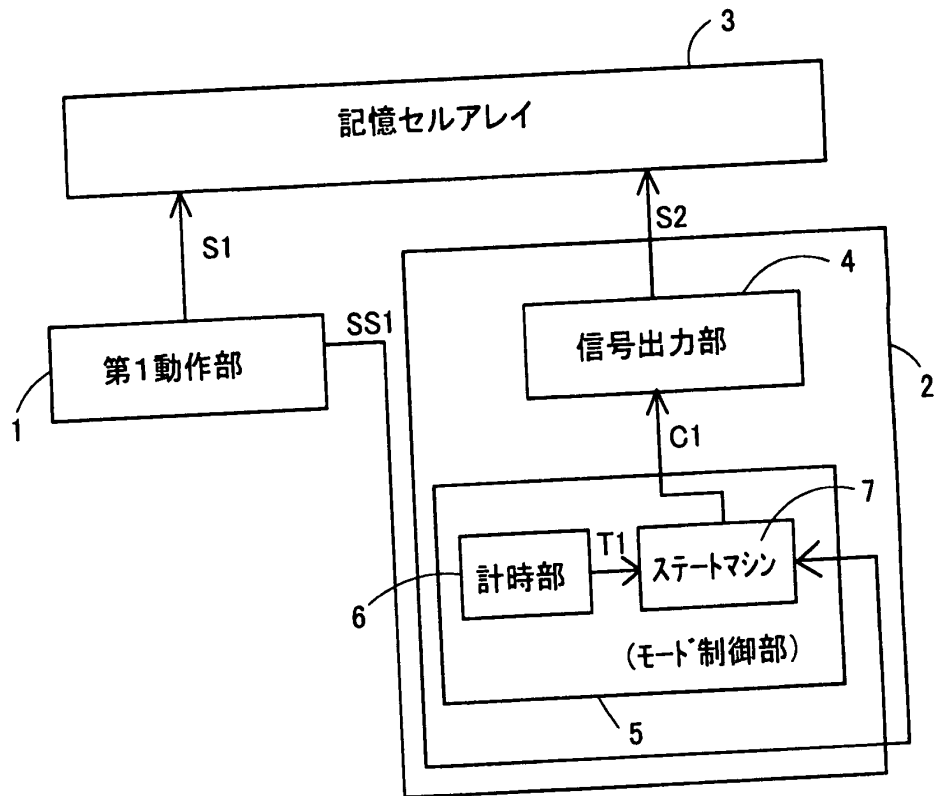
【図2】

本発明の第2原理図



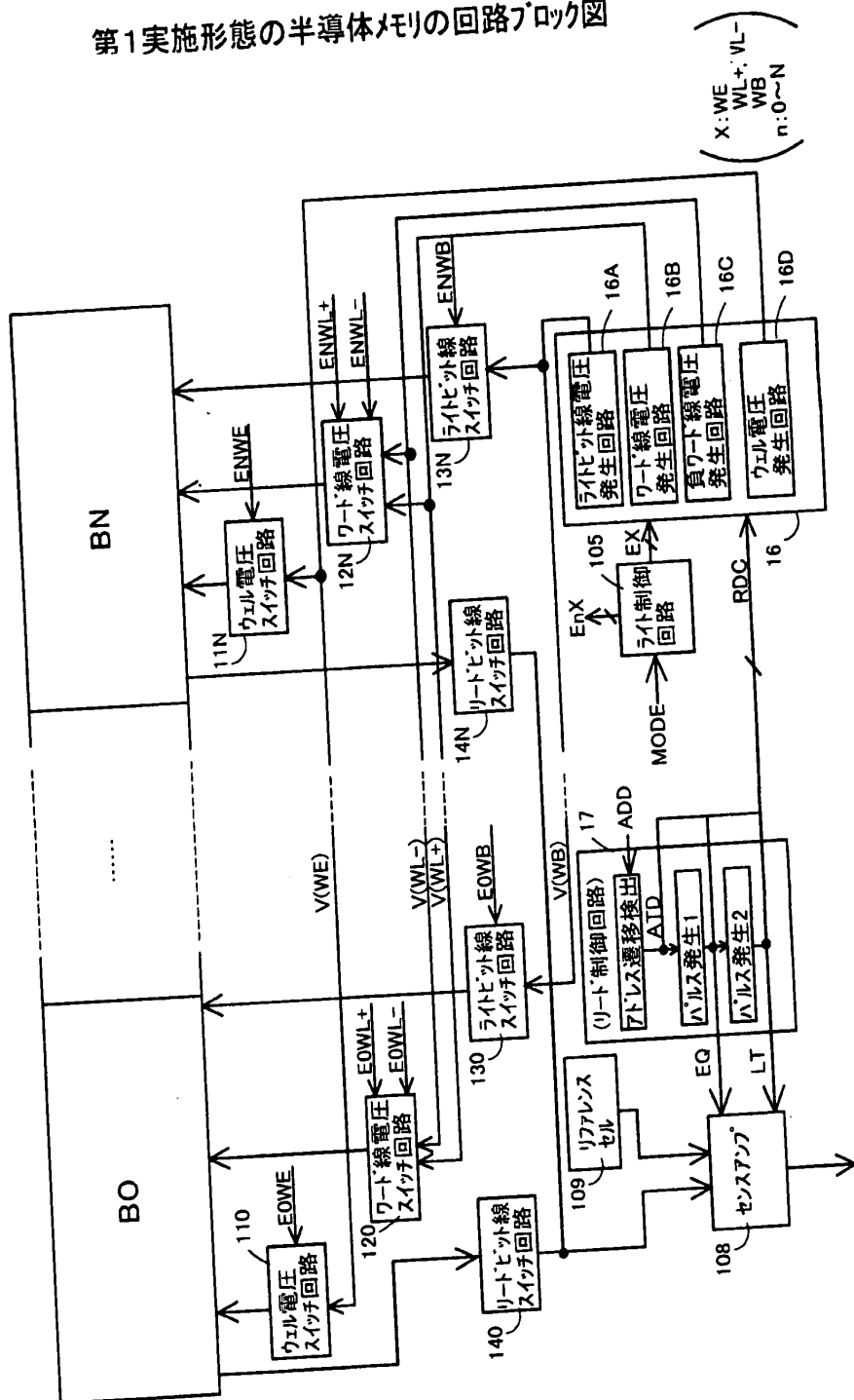
【図3】

本発明の第3原理図



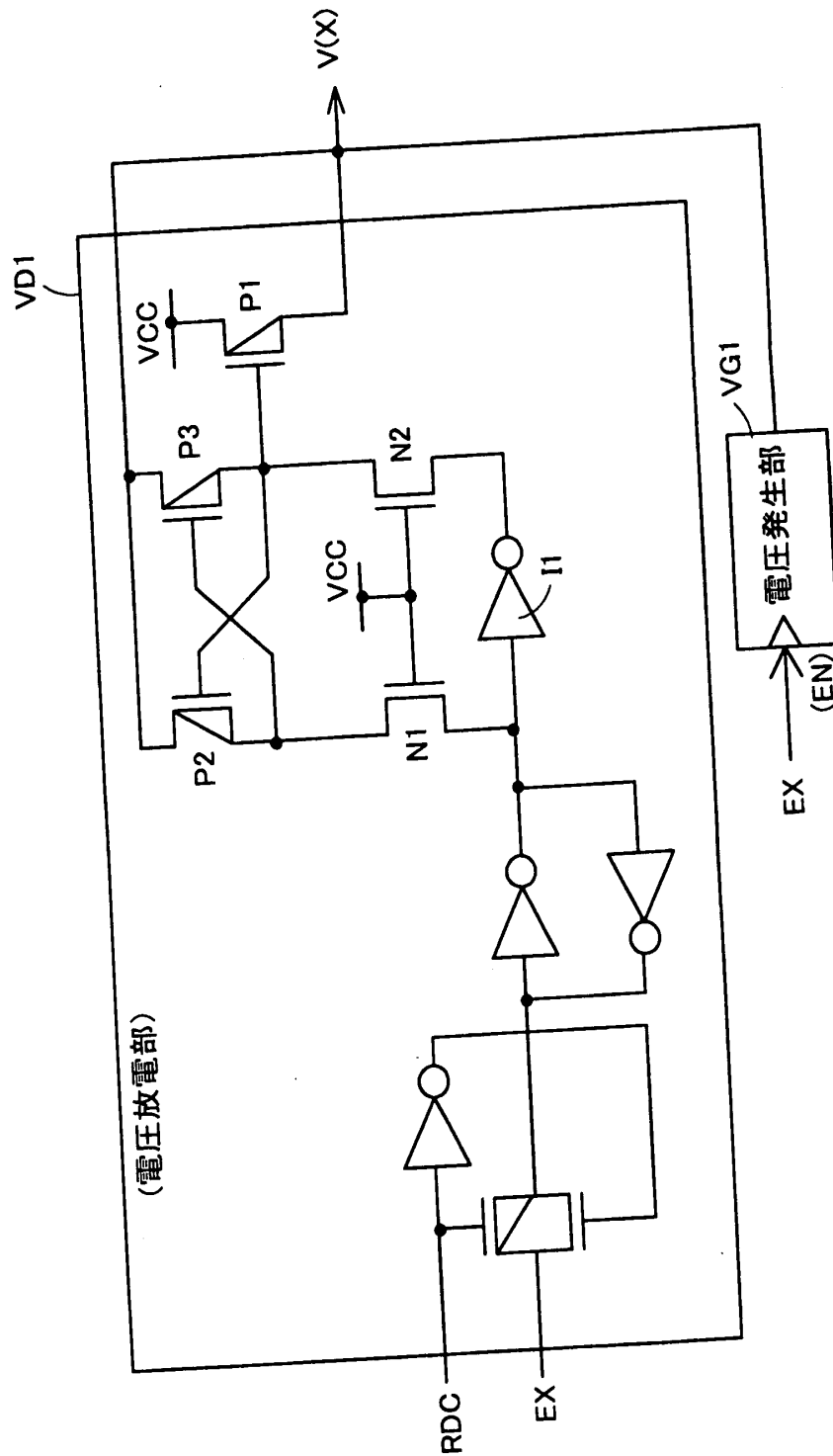
【図4】

第1実施形態の半導体メモリの回路ブロック図



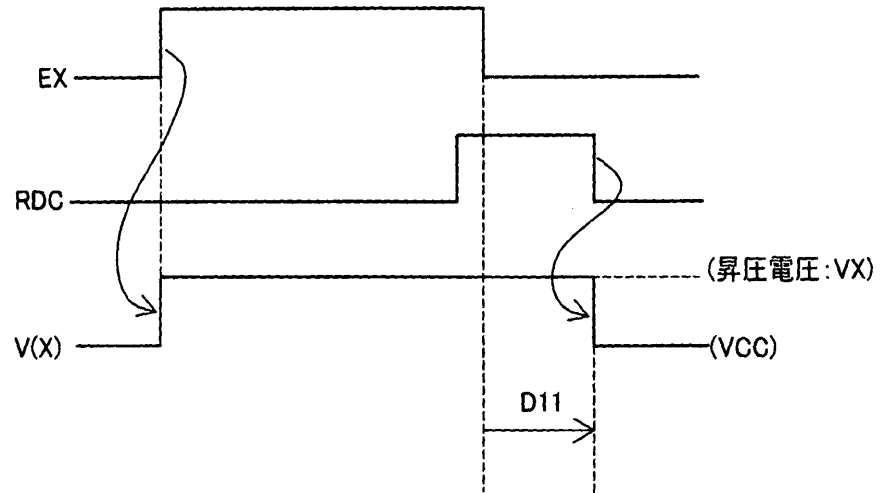
【図5】

第1実施形態の第1具体例の回路図



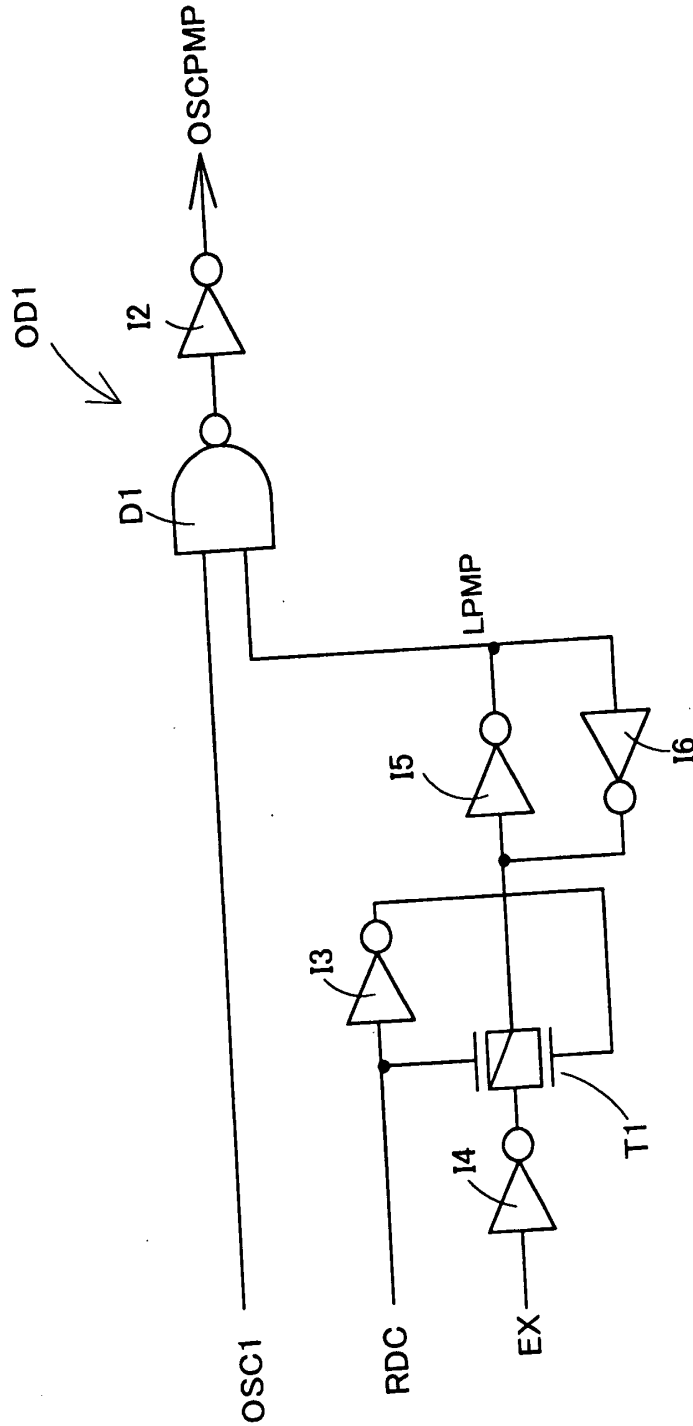
【図 6】

第1実施形態の第1具体例の動作波形



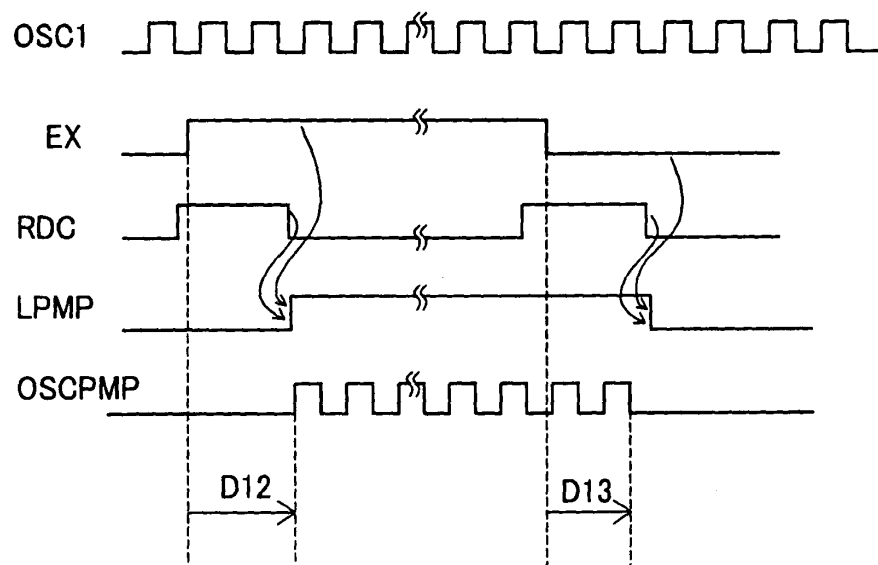
【図7】

第1実施形態の第2具体例の回路図



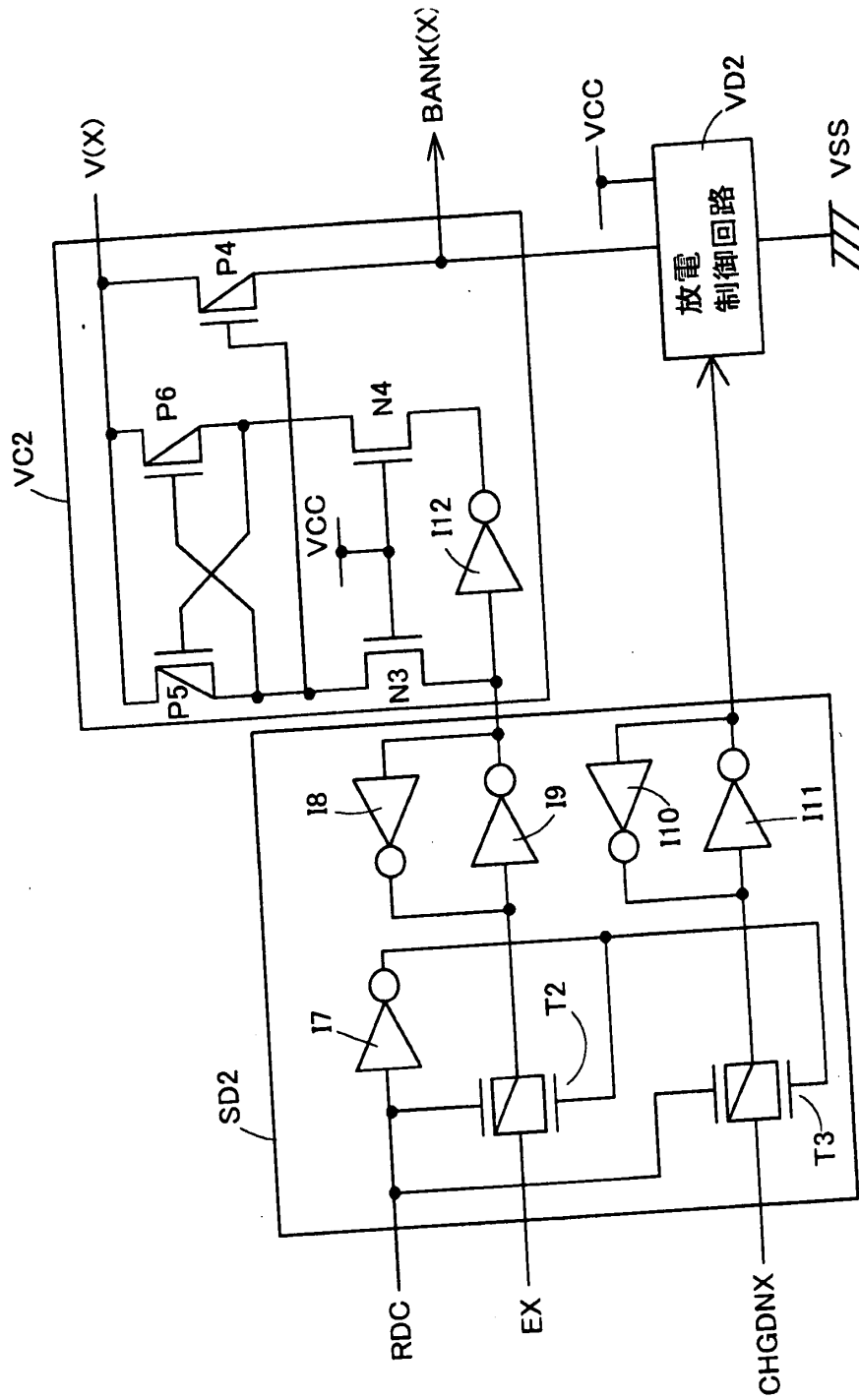
【図 8】

第1実施形態の第2具体例の動作波形



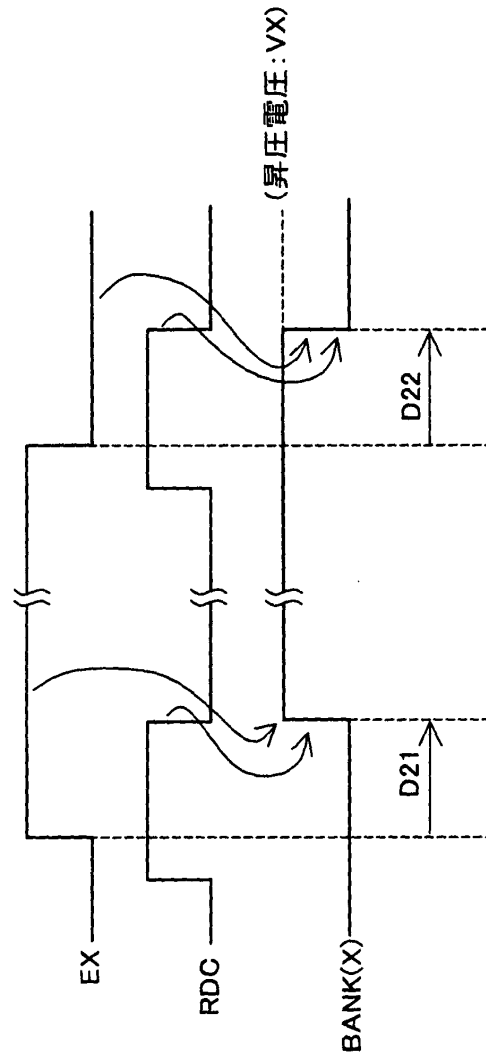
【図10】

第2実施形態の具体例の回路図



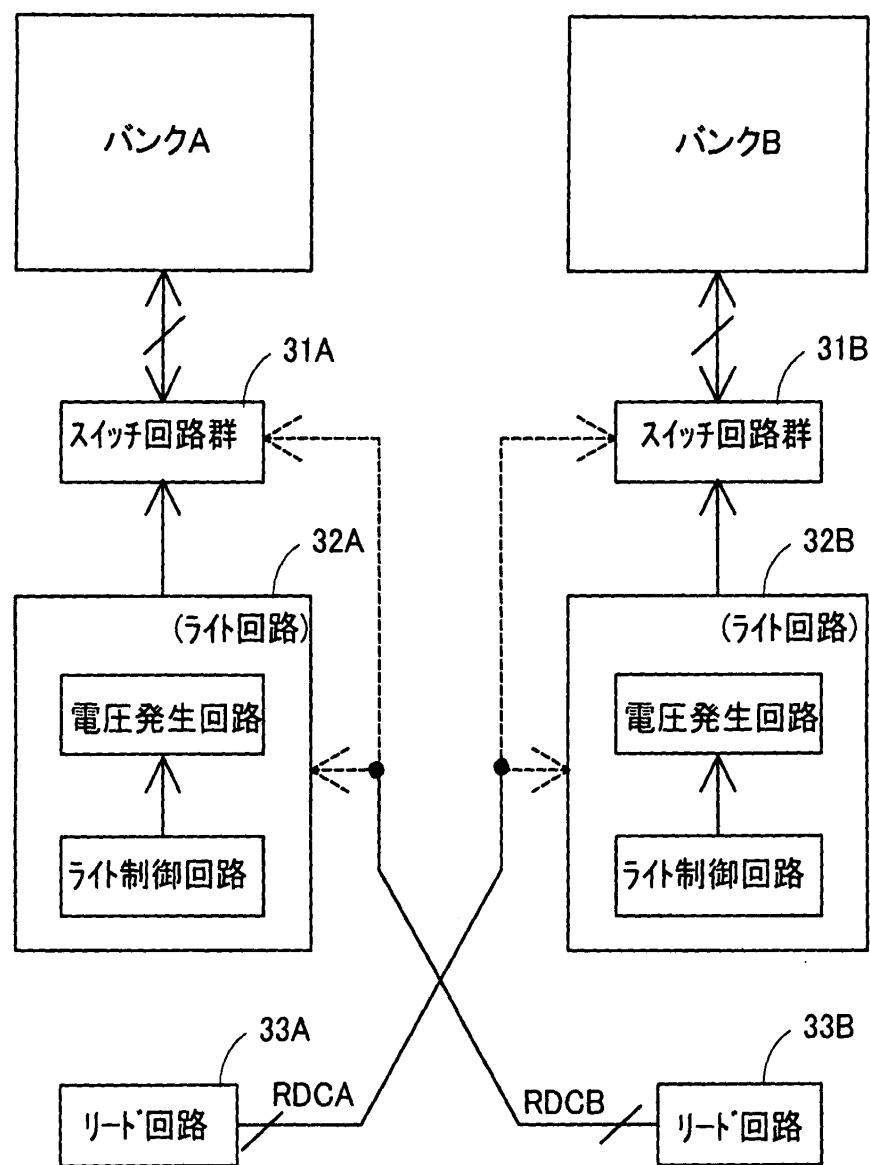
【図11】

第2実施形態の具体例の動作波形



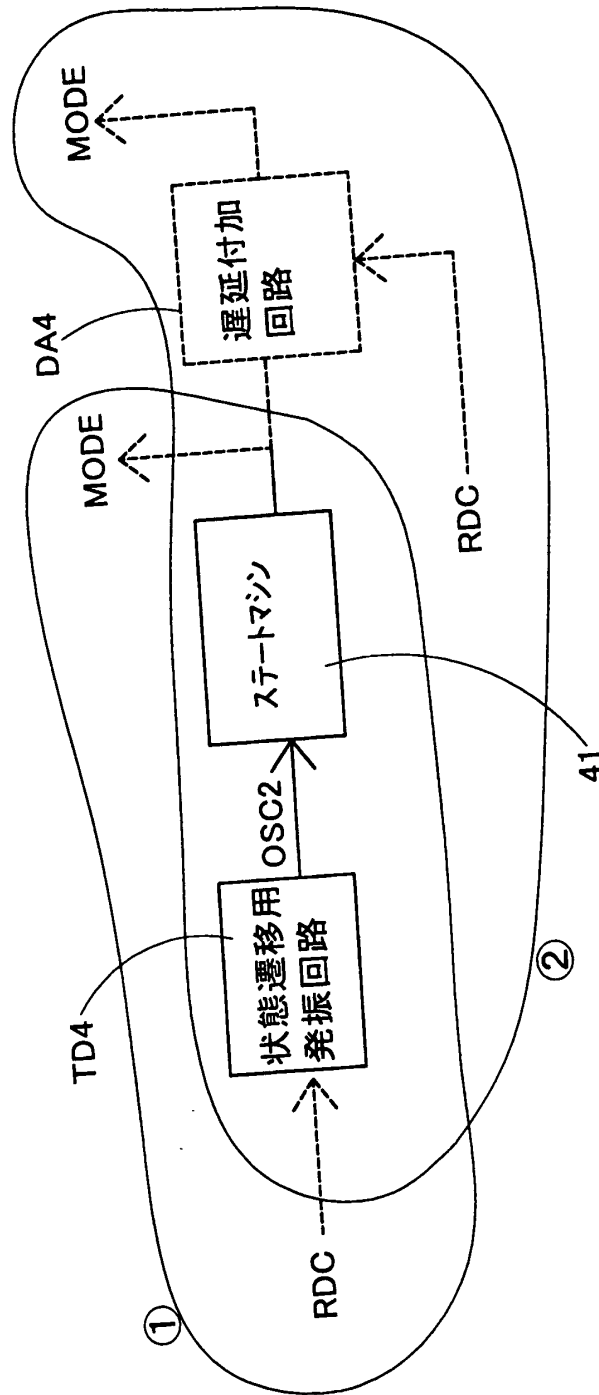
【図12】

第3実施形態の半導体メモリの回路ブロック図



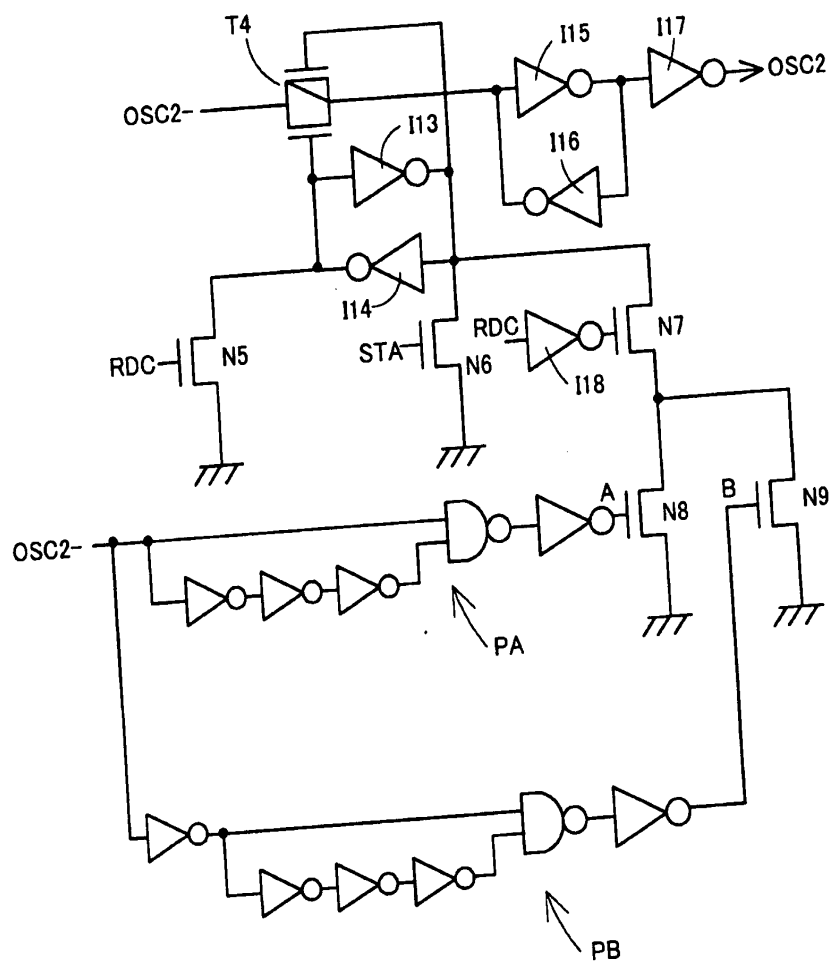
【図13】

第4実施形態の半導体メモリにおけるモード制御部



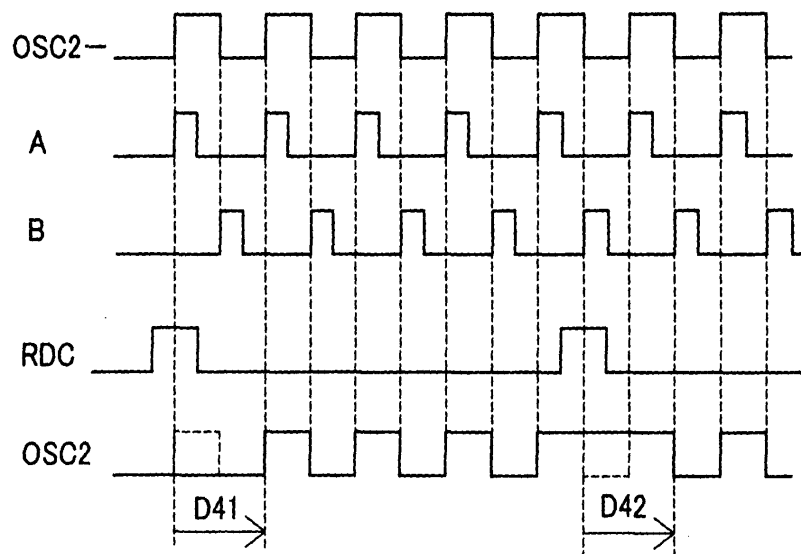
【図14】

第4実施形態の第1具体例の回路図



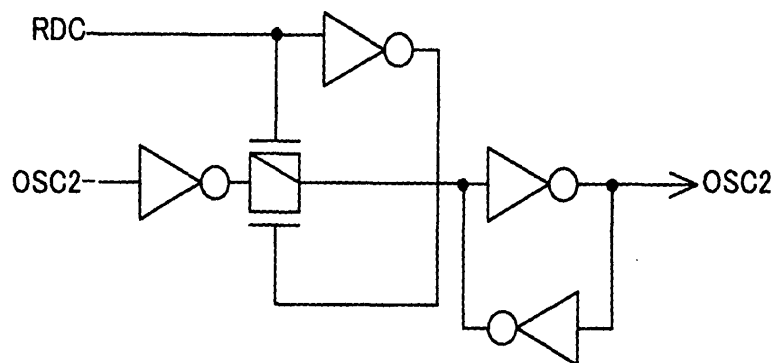
【圖 15】

第4実施形態の第1具体例の動作波形



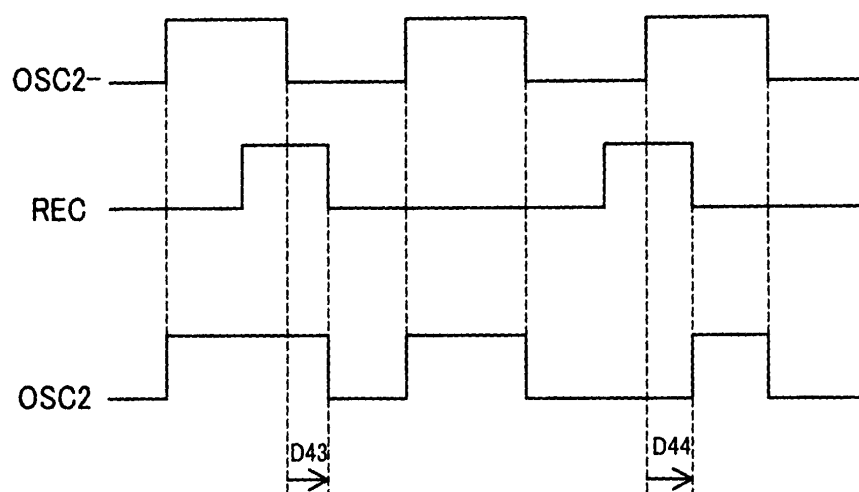
【图 16】

第4実施形態の第2具体例の回路図



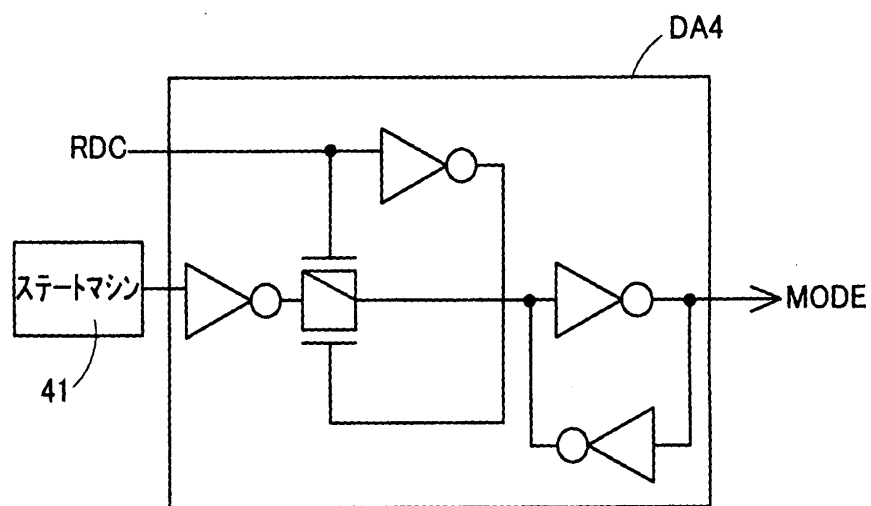
【図17】

第4実施形態の第2具体例の動作波形



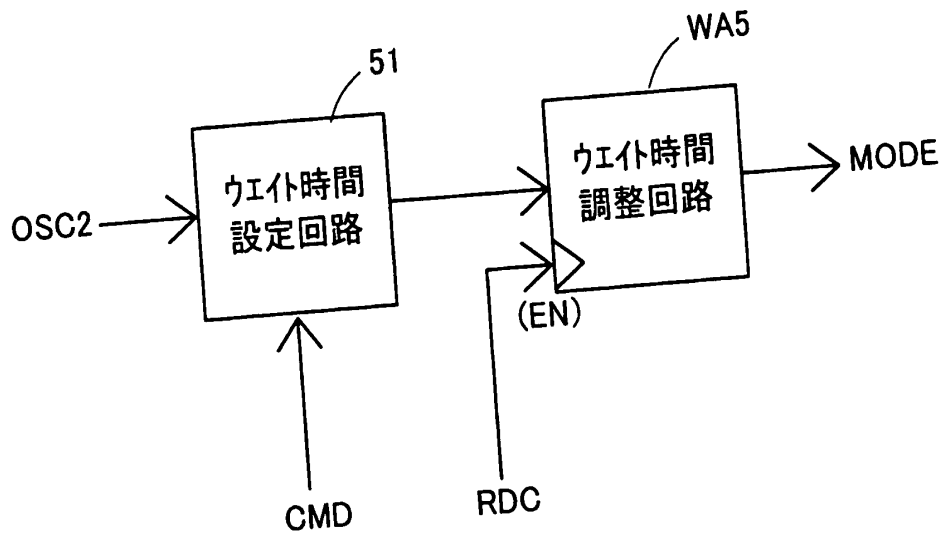
【図18】

第4実施形態の第3具体例の回路図



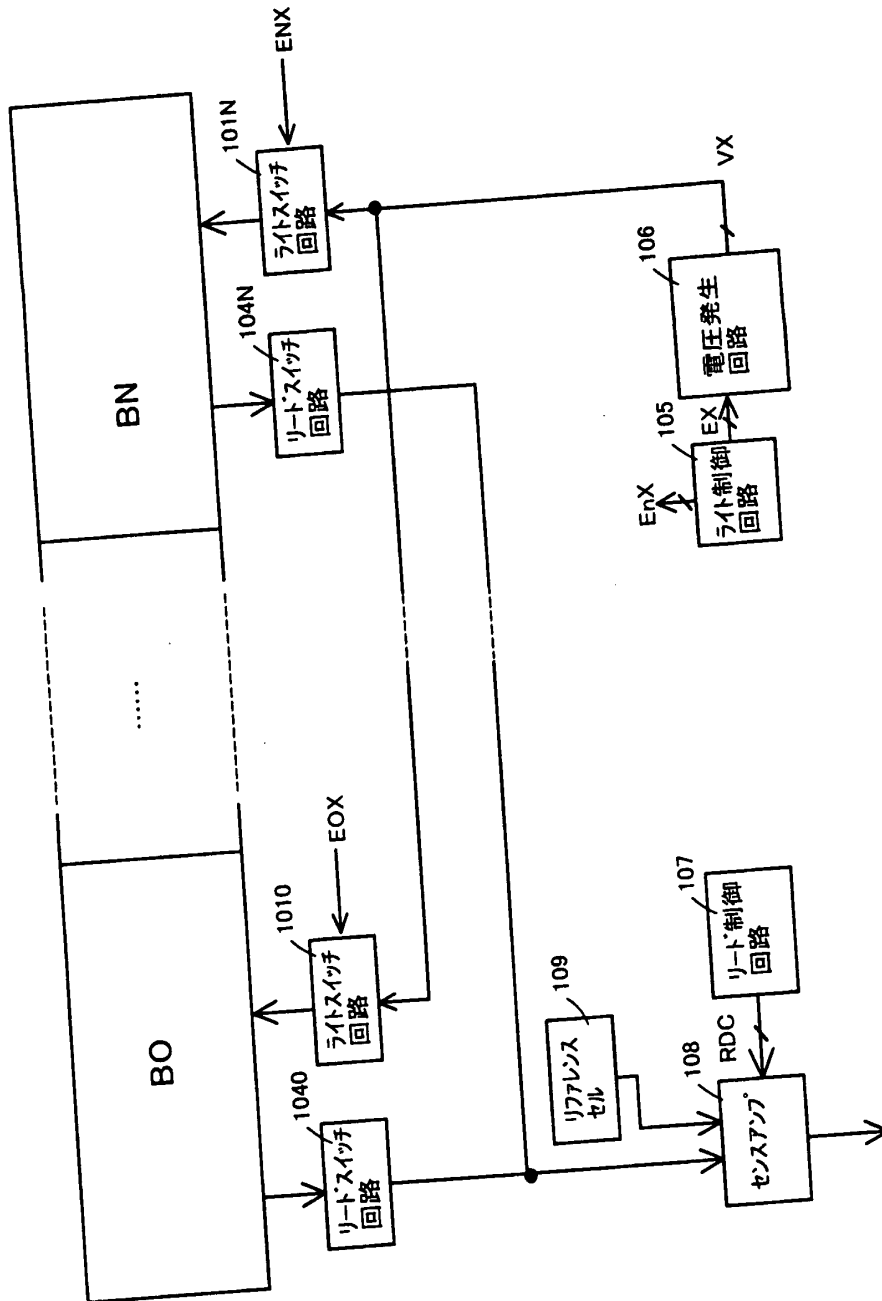
【図19】

第5実施形態の半導体メモリにおけるステートマシン



【図20】

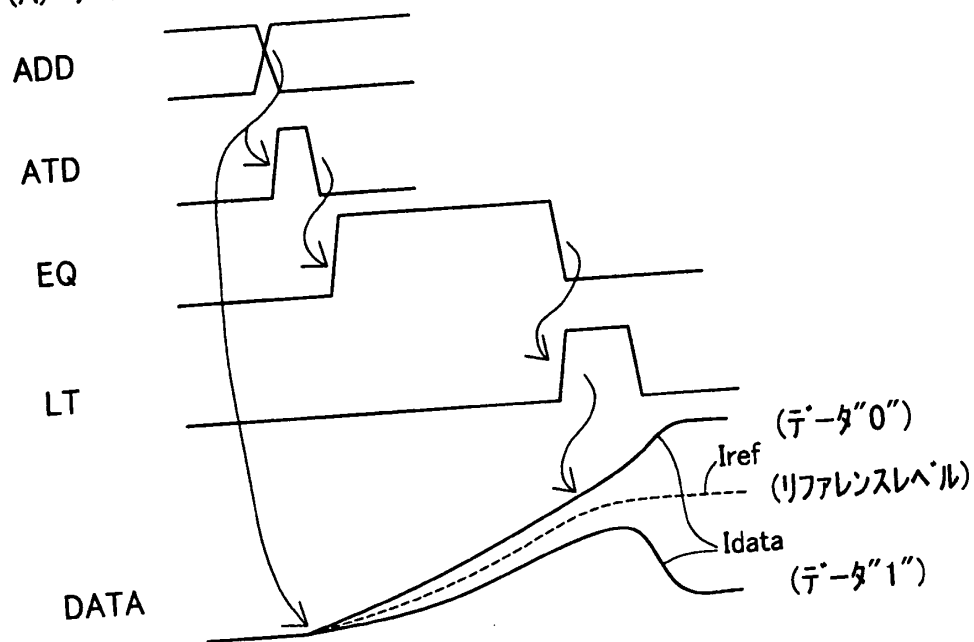
従来技術の半導体メモリの回路ブロック図



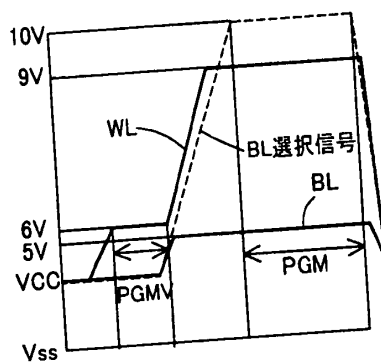
【図21】

各フアクションモードの動作波形

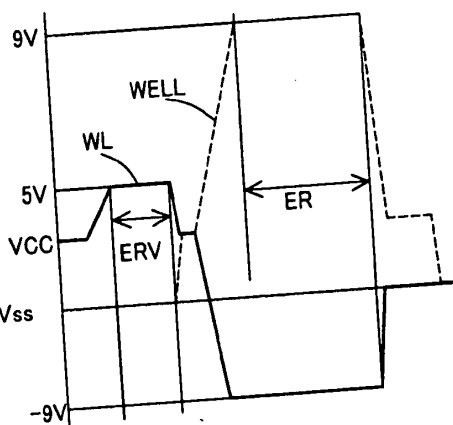
(A) リード(READ)動作



(B) プログラム(PGM)動作



(C) 消去(ER)動作



【書類名】 要約書

【要約】

【課題】 ノイズの影響を排除したい動作を含む動作モードにより、ノイズ源となる動作を含む動作モードを制御することができる半導体記憶装置の制御方法及び半導体記憶装置を提供すること

【解決手段】 互いに独立した動作を行なう第1及び第2動作部2が備えられ、第2動作部2には、第2信号S2が出力される信号出力部4と制御信号C1を供給するモード制御部5とが備えられる。モード制御部5からは制御信号C1が出力され、信号出力部4が第2信号S2を記憶セルアレイ3に出力して第2動作が行なわれる。第1動作部1から所定第1信号SS1が信号出力部4に供給され所定第2信号の出力応答を遅延させる。モード制御部5からの制御信号C1を出力しながら、記憶セルアレイ3への所定第2信号の供給を遅延させることができ、第2動作における状態遷移による第1動作の動作状態への影響を排除することができる。

【選択図】 図1

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社